

2133  
JFW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Appln. Of: KOTAKA  
Serial No.: 10/090,302  
Filed: March 4, 2002  
For: Arithmetic Operation Method for Cyclic Redundancy Check...  
Group: 2133  
Examiner: Gandhi, Dipakkumar  
DOCKET: NEC N01321

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**SUBMISSION OF PRIORITY DOCUMENT**

Dear Sir:

Submitted herewith is the certified copy of Japanese Patent Application No. 2001-059807 in support of Applicant's priority claim under 35 USC 119.

Respectfully submitted,

Norman P. Soloway  
Attorney for Applicant  
Registration No. 24,315

**CERTIFICATE OF MAILING**

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on February 8, 2005 at Tucson, Arizona.

By:

HAYES SOLOWAY P.C.  
130 W. CUSHING STREET  
TUCSON, AZ 85701  
TEL. 520.882.7623  
FAX. 520.882.7643

175 CANAL STREET  
MANCHESTER, NH 03101  
TEL. 603.668.1400  
FAX. 603.668.8567

71  
115

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日      2 0 0 1 年   3 月   5 日  
Date of Application:

出 願 番 号      特 願 2 0 0 1 - 0 5 9 8 0 7  
Application Number:  
[ST. 10/C]:      [ J P 2 0 0 1 - 0 5 9 8 0 7 ]

出 願 人      N E C エレクトロニクス株式会社  
Applicant(s):

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 4 年 1 2 月 2 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



出証番号   出証特 2 0

【書類名】 特許願

【整理番号】 75410092

【提出日】 平成13年 3月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 13/09

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 小高 重成

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100099830

    【弁理士】

    【氏名又は名称】 西村 征生

    【電話番号】 048-825-8201

【手数料の表示】

    【予納台帳番号】 038106

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9407736

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 巡回冗長検査演算方法及び巡回冗長検査演算回路

【特許請求の範囲】

【請求項 1】 伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、前記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算方法であって、

前記データの所定ビット数ごとに第 1 の生成多項式により演算を行う第 1 の演算処理と、

前記データの所定ビット数ごとに前記第 1 の生成多項式と同一の又は異なる少なくとも 1 個の第 2 の生成多項式により演算を行う第 2 の演算処理と、

前記データの所定ビット数と、前記第 1 及び第 2 の演算処理の一方又は両方の途中で得られる少なくとも 1 個の演算結果とについて前記少なくとも 1 個の第 2 の生成多項式により演算を行う第 3 の演算処理とを有することを特徴とする巡回冗長検査演算方法。

【請求項 2】 前記第 3 の演算処理では、前記データの所定ビット数を下位ビットとし、前記少なくとも 1 個の演算結果を上位ビットとして前記演算を行うことを特徴とする請求項 1 記載の巡回冗長検査演算方法。

【請求項 3】 伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、前記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算方法であって、

前記データの 32 ビットごとに 32 次の生成多項式により演算を行う第 1 の演算処理と、

前記データの 32 ビットごとに 16 次の生成多項式により演算を行う第 2 の演算処理と、

前記データの 32 ビットと、前記第 1 の演算処理の途中で得られる 32 ビットの演算結果とについて前記 16 次の生成多項式により演算を行う第 3 の演算処理とを有することを特徴とする巡回冗長検査演算方法。

【請求項 4】 前記第 3 の演算処理では、前記データの 32 ビットを下位ビットとし、前記 32 ビットの演算結果を上位ビットとする 64 ビットごとに前記

演算を行うことを特徴とする請求項 3 記載の巡回冗長検査演算方法。

【請求項 5】 伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、前記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算方法であって、

前記データの 32 ビットごとに 16 次の生成多項式により演算を行う第 1 の演算処理と、

前記データの 32 ビットごとに前記 16 次の生成多項式により演算を行う第 2 の演算処理と、

前記データの 32 ビットと、前記第 1 の演算処理の途中で得られる 16 ビットの第 1 の演算結果とについて前記 16 次の生成多項式により演算を行う第 3 の演算処理と、

前記データの 32 ビットごとに前記 16 次の生成多項式により演算を行う第 4 の演算処理と、

前記データの 32 ビットと、前記第 1 の演算結果と、前記第 2 の演算処理の途中で得られる 16 ビットの第 2 の演算結果とについて前記 16 次の生成多項式により演算を行う第 5 の演算処理と

を有することを特徴とする巡回冗長検査演算方法。

【請求項 6】 前記第 3 の演算処理では、前記データの 32 ビットを下位ビットとし、前記第 1 の演算結果を上位ビットとする 48 ビットごとに前記演算を行い、前記第 5 の演算処理では、前記データの 32 ビットを下位ビットとし、前記第 1 の演算結果を中位ビットとし、前記第 2 の演算結果を上位ビットとする 64 ビットごとに前記演算を行うことを特徴とする請求項 5 記載の巡回冗長検査演算方法。

【請求項 7】 伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、前記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算回路であって、

前記データの所定ビット数ごとに第 1 の生成多項式により演算を行う第 1 の演算部と、

前記データの所定ビット数ごとに前記第 1 の生成多項式と同一の又は異なる少

なくとも 1 個の第 2 の生成多項式により演算を行う第 2 の演算部と、

前記データの所定ビット数と、前記第 1 及び第 2 の演算処理の一方又は両方の途中で得られる少なくとも 1 個の演算結果とについて前記少なくとも 1 個の第 2 の生成多項式により演算を行う第 3 の演算部とを有することを特徴とする巡回冗長検査演算回路。

【請求項 8】 前記データの所定ビット数を下位ビットとし、前記少なくとも 1 個の演算結果を上位ビットとして結合して前記第 3 の演算部に供給するデータ結合部を有することを特徴とする請求項 7 記載の巡回冗長検査演算回路。

【請求項 9】 伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、前記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算回路であって、

前記データの 32 ビットごとに 32 次の生成多項式により演算を行う第 1 の演算部と、

前記データの 32 ビットごとに 16 次の生成多項式により演算を行う第 2 の演算部と、

前記データの 32 ビットと、前記第 1 の演算部において演算途中で得られる 32 ビットの演算結果とについて前記 16 次の生成多項式により演算を行う第 3 の演算部とを有することを特徴とする巡回冗長検査演算回路。

【請求項 10】 前記データの 32 ビットを下位ビットとし、前記 32 ビットの演算結果を上位ビットとして結合して前記第 3 の演算部に供給するデータ結合部を有することを特徴とする請求項 9 記載の巡回冗長検査演算回路。

【請求項 11】 伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、前記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算回路であって、

前記データの 32 ビットごとに 16 次の生成多項式により演算を行う第 1 の演算部と、

前記データの 32 ビットごとに前記 16 次の生成多項式により演算を行う第 2 の演算部と、

前記データの 32 ビットと、前記第 1 の演算部において演算途中で得られる 1

6ビットの第1の演算結果とについて前記16次の生成多項式により演算を行う第3の演算部と、

前記データの32ビットごとに前記16次の生成多項式により演算を行う第4の演算部と、

前記データの32ビットと、前記第1の演算結果と、前記第2の演算部において演算途中で得られる16ビットの第2の演算結果とについて前記16次の生成多項式により演算を行う第5の演算部と

を有することを特徴とする巡回冗長検査演算回路。

【請求項12】 前記データの32ビットを下位ビットとし、前記第1の演算結果を上位ビットとして結合して前記第3の演算部に供給する第1のデータ結合部と、前記データの32ビットを下位ビットとし、前記第1の演算結果を中位ビットとし、前記第2の演算結果を上位ビットとして結合して前記第5の演算部に供給する第2のデータ結合部とを有することを特徴とする請求項11記載の巡回冗長検査演算回路。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

この発明は、巡回冗長検査（CRC：Cyclic Redundancy Check）演算方法及び巡回冗長検査演算回路に関し、特に、異なる通信プロトコルを介してデータ通信を行う場合に用いて好適な巡回冗長検査演算方法及び巡回冗長検査演算回路に関する。

##### 【0002】

#### 【従来の技術】

図15は、従来のデータ通信システムの構成例を示すブロック図である。この例のデータ通信システムは、パーソナルコンピュータ等の情報処理装置1と、ハードディスク3を備えたサーバ2とがイントラネットやインターネット等のネットワーク4を介して接続されて構成されている。そして、情報処理装置1とサーバ2との間で行われるデータ通信の通信プロトコルとしては、一般に、TCP/IP（Transmission Control Protocol/Internet Protocol）（以下、一般プロ

トコルと呼ぶ) が用いられている。一方、サーバ 2 とハードディスク 3 との間で行われるデータ通信の通信プロトコルとしては、最近では、次世代のサーバ向けインターフェイスであり、データ伝送速度が 500 Mバイト/秒以上である InfiniBand (商標名) 等の高速な通信プロトコル (以下、高速プロトコルと呼ぶ) が用いられている。

### 【0003】

次に、上記構成のデータ通信システムにおいて、情報処理装置 1 からネットワーク 4 を介してサーバ 2 へアクセスし、ハードディスク 3 に記憶されているデータを読み出す場合の動作について説明する。まず、サーバ 2 は、情報処理装置 1 からアクセスされ、ハードディスク 3 に記憶されているあるデータの読み出しが要求されると、ハードディスク 3 の記憶領域をサーチし、要求されたデータを探し出す。これにより、ハードディスク 3 は、要求されたデータを読み出し、ケーブル 5 を介してサーバ 2 へ伝送する。この際、データは、図 16 に示すデータフォーマットに従って構成された通信データに組み込まれ、上記高速プロトコルでハードディスク 3 からサーバ 2 へ 4 バイト (32 ビット) ずつ伝送されるものとする。通信データは、図 16 に示すように、ヘッダと、データと、演算結果 CRC 32 と、演算結果 CRC 16 とから構成されている。ここで、演算結果 CRC 32 とは、伝送されるデータを 32 ビットずつのビット列に分割し、データ通信における誤り検出方式の 1 つである巡回冗長検査 (CRC: Cyclic Redundancy Check) 方式により、式 (1) に示す 32 次の生成多項式を用いて誤り検出のための演算を行った結果をいう。同様に、演算結果 CRC 16 とは、伝送されるデータを 16 ビットずつのビット列に分割し、CRC 方式により、式 (2) に示す 16 次の生成多項式を用いて誤り検出のための演算を行った結果をいう。以下では、式 (1) に示す 32 次の生成多項式を用いて誤り検出のために行う演算を CRC 32 演算と呼び、式 (2) に示す 16 次の生成多項式を用いて誤り検出のために行う演算を CRC 16 演算と呼ぶ。

### 【数 1】

$$G(X) = X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} \\ + X^{11} + X^8 + X^7 + X^5 + X^4 + X^2 + X^1 + 1 \dots$$



・ (1)

【数 2】

$$G(X) = X^{16} + X^{12} + X^3 + X^1 + 1 \cdots (2)$$

【0004】

この通信データは、図 17 に示すように、ヘッダ及びデータが  $n$  個 ( $n$  は自然数) の 1 バイトずつのデータブロック  $DB_0 \sim DB_n$  に分割され、演算結果  $CRC_{32}$  が 4 個の 1 バイトずつの演算結果ブロック  $CRC_{32_0} \sim CRC_{32_3}$  に分割され、演算結果  $CRC_{16}$  が 2 個の 1 バイトずつの演算結果ブロック  $CRC_{16_0}$  及び  $CRC_{16_1}$  に分割される。 $CRC_{32}$  演算は、ヘッダ及びデータについて行われる。一方、 $CRC_{16}$  演算は、ヘッダ、データ及び演算結果  $CRC_{32}$  について行われる。すなわち、 $CRC_{16}$  演算においては、演算結果  $CRC_{32}$  もヘッダやデータと同様に見なされるのである。

【0005】

次に、サーバ 2 は、ハードディスク 3 から通信データが伝送されると、通信データから上記高速プロトコル専用のヘッダ及び演算結果  $CRC_{16}$  を削除したものを新たに通信データとして、ネットワーク 4 を介して情報処理装置 1 へ伝送する。

上記したように、この例の通信システムにおいては、ハードディスク 3 からサーバ 2 へ通信データを伝送する際に  $CRC_{32}$  演算を行って通信データに演算結果ブロック  $CRC_{32_0} \sim CRC_{32_3}$  を付加している。これにより、サーバ 2 から情報処理装置 1 へ通信データを伝送する際には、 $CRC$  演算を行う必要がなく、短時間で通信データの伝送を行うことができる。

【0006】

次に、上記したハードディスク 3 からサーバ 2 へ通信データを伝送する際に、 $CRC$  演算を行う従来の  $CRC$  演算回路の構成及び動作について説明する。図 18 は、従来の  $CRC$  演算回路の構成を示すブロック図である。この例の  $CRC$  演算回路は、データ入力部 11 と、ラッチ 12 ~ 16 と、セクタ 17 及び 18 と、演算部 19 及び 20 と、データ出力部 21 とから構成されている。

データ入力部 11 は、ハードディスク 3 の所定の記憶領域から読み出される 3

2 ビットずつの入力データ  $D_0$  に対して波形整形などを施し、出力データ  $D_1$  として後段の回路要素に入力するためのインターフェイスである。ラッチ 1 2 及び 1 3 は、各々 3 2 ビットのフリップフロップからなり、データ処理のタイミングを調整するために設けられている。ラッチ 1 2 は、データ入力部 1 1 の出力データ  $D_1$  を外部から供給されるクロック 1 個分だけ保持（ラッチ）し、出力データ  $D_2$  として出力する。ラッチ 1 3 は、ラッチ 1 2 の出力データ  $D_2$  をクロック 1 個分だけラッチし、出力データ  $D_4$  として出力する。ラッチ 1 4 は、3 2 ビットのフリップフロップからなり、演算部 2 0 へのデータ入力のタイミングを調整するために、データ入力部 1 1 の出力データ  $D_1$  をクロック 1 個分だけラッチし、出力データ  $D_2$  として出力する。

セクタ 1 7 は、ラッチ 1 4 から出力される 3 2 ビットの出力データ  $D_2$  か、あるいはラッチ 1 5 から出力される 3 2 ビットの出力データ  $D_5$  のいずれか一方を選択し、出力データ  $D_3$  として出力する。

#### 【0 0 0 7】

演算部 1 9 は、データ入力部 1 1 の出力データ  $D_1$  についてラッチ 1 5 の出力データ  $D_5$  を用いて CRC 3 2 演算を行う。演算部 2 0 は、セクタ 1 7 の出力データ  $D_3$  についてラッチ 1 6 の出力データ  $D_6$  を用いて CRC 1 6 演算を行う。ラッチ 1 5 は、3 2 ビットのフリップフロップからなり、演算部 1 9 から出力される 3 2 ビットの演算結果をクロック 1 個分だけラッチし、出力データ  $D_5$  として出力する。ラッチ 1 6 は、1 6 ビットのフリップフロップからなり、演算部 2 0 から出力される 1 6 ビットの演算結果をクロック 1 個分だけラッチし、出力データ  $D_6$  として出力する。セクタ 1 8 は、ラッチ 1 3 から出力される 3 2 ビットの出力データ  $D_4$ 、ラッチ 1 5 から出力される 3 2 ビットの出力データ  $D_5$ 、あるいはラッチ 1 6 から出力される 1 6 ビットの出力データ  $D_6$  のいずれかを選択し、出力データ  $D_7$  として出力する。データ出力部 2 1 は、セクタ 1 8 から出力される 3 2 ビットの出力データ  $D_7$  に対して波形整形などを施し、出力データ  $D_8$  として後段の回路要素へ供給するためのインターフェイスである。

#### 【0 0 0 8】

次に、演算部 1 9 及び 2 0 の詳細な構成について説明する。

この例の演算部 19 は、以下に示す CRC 32 演算と同様の演算結果 CRC 32 を生成する。ここで、上記した入力データ  $D_1$  を構成する 32 ビットのビット列  $d_{31}, d_{30}, \dots, d_1, d_0$  を数値とみなし、式 (3) に示す多項式  $P(X)$  で表す。

**【数 3】**

$$P(X) = d_{31}X^{31} + d_{30}X^{30} + \dots + d_1X + d_0 \dots (3)$$

式 (3) において、「+」は、剰余 2 (Modulo 2) の加算を表す。「+」の意味については、上記した式 (1) 及び (2) 並びに以下に示す式においても同様である。また、剰余 2 とは、2 進数値 0 と 1 とで巡回して桁上げ及び桁下げがない演算をいい、式 (4) ~ 式 (11) に示すように定義される。

$$0 + 0 = 0 \dots (4)$$

$$0 + 1 = 1 \dots (5)$$

$$1 + 0 = 1 \dots (6)$$

$$1 + 1 = 0 \dots (7)$$

$$0 - 0 = 0 \dots (8)$$

$$0 - 1 = 1 \dots (9)$$

$$1 - 0 = 1 \dots (10)$$

$$1 - 1 = 0 \dots (11)$$

すなわち、剰余 2 の演算は、論理回路における排他的論理和演算と同じ結果となる。

**【0009】**

そして、この入力データ  $P(X)$  に式 (1) に示す 32 次の生成多項式  $G(X)$  の最高次の項  $X^{32}$  を乗算した結果を式 (12) に示す  $Q(X)$  とする。次に、 $Q(X)$  を生成多項式  $G(X)$  で除算し、その剰余を式 (13) に示す  $R(X)$  とする。式 (13) において、 $c_{31}, c_{30}, \dots, c_1, c_0$  は 0 又は 1 である。

**【数 4】**

$$Q(X) = d_{31}X^{63} + d_{30}X^{62} + \dots + d_1X^{33} + d_0X^{32} \dots (12)$$

## 【数5】

$$R(X) = c_{31}X^{31} + c_{30}X^{30} + \dots + c_1X + c_0 \dots (13)$$

この剰余  $R(X)$  を構成する  $c_{31}, c_{30}, \dots, c_1, c_0$  が演算結果  $CRC32$  のサイクリック・チェック・ビットであり、CRC符号と呼ばれる。さらに、次に入力される入力データ  $P'(X)$  に今回得られたCRC符号を乗算して新たな  $Q(X)$  とする。この新たな  $Q(X)$  を生成多項式  $G(X)$  で除算すると、新たなCRC符号が得られる。以上説明した処理をすべての入力データ  $P(X)$  に繰り返し（巡回）行くと、演算結果  $CRC32$  が得られる。

以上説明したように、CRC32演算においては、 $Q(X)$  を生成多項式  $G(X)$  で除算する必要がある。しかし、この除算をハードウェアにより単純に実現しようとする、高速な処理ができないことや回路規模が大きくなることなどから、一般には、図19に示す演算部19により実現する。演算部19は、イクスクルーシブオアゲート (EOR)  $23_1 \sim 23_{14}$  と、ディレイ・フリップフロップ (FF)  $24_1 \sim 24_{32}$  とから構成されている。なお、この構成については、公知であるので、その説明を省略する。図19に示す演算部19に32ビットの入力データ  $P(X)$  と同じ32ビット分のデータをシフトするためのクロックを供給した場合の各  $FF24_{32} \sim 24_1$  の出力データ  $C31 \sim C00$  がCRC32演算の剰余  $c_{31}, c_{30}, \dots, c_1, c_0$  を表している。ここで、図20及び図21に出力データ  $C31 \sim C00$  の演算式を示す。図20及び図21において、 $R31 \sim R00$  は  $FF24_{32} \sim FF24_1$  の初期値であり、 $D31 \sim D00$  は上記した入力データ  $P(X)$  を構成するビット列  $d_{31}, d_{30}, \dots, d_1, d_0$  に対応しており、「 $\cdot$ 」は排他的論理和演算を意味している。

## 【0010】

次に、図22は、演算部20の構成を示すブロック図である。この例の演算部20は、EOR  $26_1 \sim 26_4$  と、FF  $27_1 \sim 27_{16}$  とから構成されている。なお、この構成については、公知であるので、その説明を省略する。この例の演算部20は、CRC16演算と同様の演算結果CRC16を生成する。なお、CRC16演算の詳細については、生成多項式が異なる点を除けば上記したCRC32演算と略同様であるので、その説明を省略する。

図 23 に示す演算部 20 に 32 ビットの入力データ P (X) と同じ 32 ビット分のデータをシフトするためにクロックを供給した場合の各 FF 27<sub>16</sub> ~ 27<sub>1</sub> の出力データ C 15 ~ C 00 が CRC 16 演算の剰余を表している。ここで、図 23 に出力データ C 15 ~ C 00 の演算式を示す。図 23 において、R 15 ~ R 00 は FF 27<sub>16</sub> ~ FF 27<sub>1</sub> の初期値であり、D 31 ~ D 00 は上記した入力データ P (X) を構成するビット列 d<sub>31</sub>, d<sub>30</sub>, ..., d<sub>1</sub>, d<sub>0</sub> に対応しており、「・」は排他的論理和演算を意味している。

### 【0011】

次に、上記構成の CRC 演算回路の動作について、図 24 に示すタイミング・チャートを参照して説明する。まず、説明を簡単にするために、入力データ D<sub>0</sub> は、図 24 に示すように、バイトデータ BD<sub>0</sub> ~ BD<sub>3</sub> からなるものとする。バイトデータ BD<sub>0</sub> は各 1 バイトのデータブロック DB<sub>0</sub> ~ DB<sub>3</sub> からなり、バイトデータ BD<sub>1</sub> は各 1 バイトのデータブロック DB<sub>4</sub> ~ DB<sub>7</sub> からなる。また、バイトデータ BD<sub>2</sub> は各 1 バイトのデータブロック DB<sub>8</sub> ~ DB<sub>11</sub> からなり、バイトデータ BD<sub>3</sub> は各 1 バイトのデータブロック DB<sub>12</sub> 及び DB<sub>13</sub> からなる。

まず、入力データ D<sub>0</sub> が、図 24 (1) に示すように、第 1 の周期 # 1 から図示せぬクロックに同期して外部から順次 CRC 演算回路に供給されると、データ入力部 11 は、入力データ D<sub>0</sub> に対して波形整形など施し、出力データ D<sub>1</sub> としてラッチ 12 及び 14 並びに演算部 19 へ順次供給する。ラッチ 12 及び 14 は、データ入力部 11 の出力データ D<sub>1</sub> を外部から供給されるクロック 1 個分だけラッチし、図 24 (3) に示すように、第 2 の周期 # 2 から出力データ D<sub>2</sub> として順次出力する。

### 【0012】

一方、演算部 19 は、第 1 の周期 # 1 において、データ入力部 11 の出力データ D<sub>1</sub>、今の場合、バイトデータ BD<sub>0</sub> について、ラッチ 15 の出力データ D<sub>5</sub>、今の場合、ラッチ 15 の初期値を用いて CRC 32 演算を行い、演算結果 CR 00 を生成する。なお、ラッチ 15 には、初期値として、「0」が予め設定されている。これにより、ラッチ 15 は、演算部 19 から出力される演算結果 CR 0

0をクロック1個分だけラッチし、図24(2)に示すように、第2の周期#2に出力データD<sub>5</sub>として出力する。次に、演算部19は、第2の周期#2において、データ入力部11の出力データD<sub>1</sub>、今の場合、バイトデータBD<sub>1</sub>について、ラッチ15の出力データD<sub>5</sub>、今の場合、演算結果CR<sub>00</sub>を用いてCRC32演算を行い、演算結果CR<sub>01</sub>を生成する。これにより、ラッチ15は、演算結果CR<sub>01</sub>をクロック1個分だけラッチし、図24(2)に示すように、第3の周期#3に出力データD<sub>5</sub>として出力する。

#### 【0013】

同様に、演算部19は、第3の周期#3において、データ入力部11の出力データD<sub>1</sub>、今の場合、バイトデータBD<sub>2</sub>について、ラッチ15の出力データD<sub>5</sub>、今の場合、演算結果CR<sub>01</sub>を用いてCRC32演算を行い、演算結果CR<sub>02</sub>を生成する。これにより、ラッチ15は、演算結果CR<sub>02</sub>をクロック1個分だけラッチし、図24(2)に示すように、第4の周期#4に出力データD<sub>5</sub>として出力する。次に、演算部19は、第4の周期#4において、データ入力部11の出力データD<sub>1</sub>、今の場合、バイトデータBD<sub>3</sub>について、ラッチ15の出力データD<sub>5</sub>、今の場合、演算結果CR<sub>02</sub>を用いてCRC32演算を行い、演算結果CR<sub>03</sub>を生成する。これにより、ラッチ15は、演算結果CR<sub>03</sub>をクロック1個分だけラッチし、図24(2)に示すように、第5の周期#5に出力データD<sub>5</sub>として出力する。この演算結果CR<sub>03</sub>が演算結果CRC32である。この演算結果CRC32は、上記したように、4個の演算結果ブロックCRC32<sub>0</sub>～CRC32<sub>3</sub>から構成されている。

#### 【0014】

これにより、セクタ17は、図24(4)に示すように、第2～第4の周期#2～#4においては、ラッチ14から出力される32ビットの出力データD<sub>2</sub>、今の場合、バイトデータBD<sub>0</sub>～BD<sub>2</sub>を選択して出力データD<sub>3</sub>として出力する。また、セクタ17は、図24(4)に示すように、第5の周期#5においては、バイトデータBD<sub>3</sub>を構成するデータブロックDB<sub>12</sub>及びDB<sub>13</sub>と、演算結果CRC32を構成する演算結果ブロックCRC32<sub>0</sub>及びCRC32<sub>1</sub>とから新たなバイトデータBD'<sub>3</sub>を生成して出力データD<sub>3</sub>として出力する

。さらに、セクタ 17 は、図 24 (4) に示すように、第 6 の周期 # 6 においては、演算結果 CRC 32 を構成する演算結果ブロック CRC 32<sub>2</sub> 及び CRC 32<sub>3</sub> を新たなバイトデータ BD<sub>4</sub> とし、出力データ D<sub>3</sub> として出力する。

#### 【0015】

したがって、演算部 20 は、第 2 の周期 # 2 において、セクタ 17 の出力データ D<sub>3</sub>、今の場合、バイトデータ BD<sub>0</sub> について、ラッチ 16 の出力データ D<sub>6</sub>、今の場合、ラッチ 16 の初期値を用いて CRC 16 演算を行い、演算結果 CR<sub>10</sub> を生成する。なお、ラッチ 16 には、初期値として、「0」が予め設定されている。これにより、ラッチ 16 は、演算部 20 から出力される演算結果 CR<sub>10</sub> をクロック 1 個分だけラッチし、図 24 (5) に示すように、第 3 の周期 # 3 に出力データ D<sub>6</sub> として出力する。次に、演算部 20 は、第 3 の周期 # 3 において、セクタ 17 の出力データ D<sub>3</sub>、今の場合、バイトデータ BD<sub>1</sub> について、ラッチ 16 の出力データ D<sub>6</sub>、今の場合、演算結果 CR<sub>10</sub> を用いて CRC 16 演算を行い、演算結果 CR<sub>11</sub> を生成する。これにより、ラッチ 16 は、演算結果 CR<sub>11</sub> をクロック 1 個分だけラッチし、図 24 (5) に示すように、第 4 の周期 # 4 に出力データ D<sub>6</sub> として出力する。

#### 【0016】

同様に、演算部 20 は、第 4 の周期 # 4 において、セクタ 17 の出力データ D<sub>3</sub>、今の場合、バイトデータ BD<sub>2</sub> について、ラッチ 16 の出力データ D<sub>6</sub>、今の場合、演算結果 CR<sub>11</sub> を用いて CRC 16 演算を行い、演算結果 CR<sub>12</sub> を生成する。これにより、ラッチ 16 は、演算結果 CR<sub>12</sub> をクロック 1 個分だけラッチし、図 24 (5) に示すように、第 5 の周期 # 5 に出力データ D<sub>6</sub> として出力する。次に、演算部 20 は、第 5 の周期 # 5 において、セクタ 17 の出力データ D<sub>3</sub>、今の場合、バイトデータ BD'<sub>3</sub>、すなわち、データブロック DB<sub>12</sub> 及び DB<sub>13</sub> 並びに演算結果ブロック CRC 32<sub>0</sub> 及び CRC 32<sub>1</sub> について、ラッチ 16 の出力データ D<sub>6</sub>、今の場合、演算結果 CR<sub>12</sub> を用いて CRC 16 演算を行い、演算結果 CR<sub>13</sub> を生成する。これにより、ラッチ 16 は、演算結果 CR<sub>13</sub> をクロック 1 個分だけラッチし、図 24 (5) に示すように、第 6 の周期 # 6 に出力データ D<sub>6</sub> として出力する。次に、演算部 20 は、第 6 の

周期# 6において、セクタ 17 の出力データ  $D_3$ 、今の場合、バイトデータ  $B_{D_4}$ 、すなわち、演算結果ブロック  $CRC_{32_2}$  及び  $CRC_{32_3}$  について、ラッチ 16 の出力データ  $D_6$ 、今の場合、演算結果  $CR_{13}$  を用いて  $CRC_{16}$  演算を行い、演算結果  $CR_{14}$  を生成する。これにより、ラッチ 16 は、演算結果  $CR_{14}$  をクロック 1 個分だけラッチし、図 24 (5) に示すように、第 7 の周期# 7 に出力データ  $D_6$  として出力する。この演算結果  $CR_{14}$  が演算結果  $CRC_{16}$  である。この演算結果  $CRC_{16}$  は、上記したように、2 個の演算結果ブロック  $CRC_{16_0}$  及び  $CRC_{16_1}$  から構成されている。

#### 【0017】

これにより、セクタ 18 は、第 3 ～第 5 の周期# 3 ～# 5 においては、ラッチ 13 から出力される 32 ビットの出力データ  $D_2$ 、今の場合、バイトデータ  $B_{D_0} \sim B_{D_2}$  を選択して出力データ  $D_7$  として出力する。また、セクタ 18 は、第 6 の周期# 6 においては、データブロック  $DB_{12}$  及び  $DB_{13}$  並びに演算結果ブロック  $CRC_{32_0}$  及び  $CRC_{32_1}$  とからなるバイトデータ  $BD'_3$  を出力データ  $D_7$  として出力する。さらに、セクタ 18 は、第 7 の周期# 7 においては、演算結果  $CRC_{32}$  を構成する演算結果ブロック  $CRC_{32_2}$  及び  $CRC_{32_3}$  と、演算結果  $CRC_{16}$  を構成する演算結果ブロック  $CRC_{16_0}$  及び  $CRC_{16_1}$  とから新たなバイトデータ  $BD'_4$  を生成して出力データ  $D_7$  として出力する。したがって、データ出力部 21 は、図 24 (6) に示すように、セクタ 18 から出力される 32 ビットの出力データ  $D_7$  に対して波形整形など施し、出力データ  $D_8$  として後段の回路要素へ供給する。

#### 【0018】

##### 【発明が解決しようとする課題】

ところで、データ通信においては、データを正確に相手方に伝送するためには、データ伝送の最初から最後まで（パケット通信においては 1 パケット間）、データを連続して伝送しなければならない。このため、上記した従来の  $CRC$  演算回路においては、図 24 に示すように、伝送すべきデータと  $CRC$  演算結果とが途切れなく伝送されるように、伝送されるべきデータの最後に  $CRC$  演算結果を付加している。



また、上記した従来のCRC演算回路においては、CRC16演算をする際にはCRC32演算の演算結果CRC32を用いているため、データ入力部11の出力データD<sub>1</sub>の最後に演算結果CRC32を付加して演算部20に供給する必要がある。

#### 【0019】

ところが、図24（1）に示すように、32ビットずつ供給されるデータ入力部11の出力データD<sub>1</sub>の最後が2バイトのバイトデータBD<sub>3</sub>である場合には、以下に示す不都合が発生する。

すなわち、演算結果CRC32は、各1バイトで合計4個の演算結果ブロックCRC32<sub>0</sub>～CRC32<sub>3</sub>から構成されているので、前半の演算結果ブロックCRC32<sub>1</sub>及びCRC32<sub>2</sub>については、図24（4）に示すように、データブロックBD<sub>12</sub>及びBD<sub>13</sub>に付加してバイトデータBD'<sub>3</sub>として第5の周期#5に演算部20へ伝送することができる。一方、演算結果CRC32のうち、後半の演算結果ブロックCRC32<sub>2</sub>及びCRC32<sub>3</sub>については、図24（4）に示すように、新たにバイトデータBD<sub>4</sub>を構成し、第6の周期#6に演算部20へ伝送しなければならない。つまり、この場合、本来のCRC16演算に直接関わらないデータ伝送のためだけに1クロック分だけ余計に時間がかかることになる。このため、ラッチ14は、この1クロック分だけ余計に時間がかかるデータ伝送と、演算部20におけるCRC16演算とのタイミングを調整するために、データ入力部11の出力データD<sub>1</sub>をクロック1個分だけラッチしているのである。

さらに、CRC演算を行うためには、少なくともクロック1個分の時間は必要であり、そのために、演算部19及び20の各後段にはラッチ15及び16が設けられている。

したがって、データ入力部11に入力データD<sub>0</sub>が入力されてからデータ出力部21から出力データD<sub>8</sub>が出力されるまでにクロック2個分の遅延が生じてしまう。そこで、上記した従来のCRC演算回路においては、データ入力部11とセクタ18との間に、ラッチ14に対応してラッチ12を、ラッチ15及び16に対応してラッチ13を設けているのである。

これにより、上記した従来のCRC演算回路は、近年のCPU（中央処理装置）の動作速度の高速化に伴うデータ通信における信号処理の高速化への要求に十分に 대응することができないという問題があった。

以上説明した不都合は、CRC演算を複数回行ってデータ伝送を行うデータ通信において同様に発生するものである。そして、データ伝送速度を高速化したり、バス幅を広げたりすることだけでは上記データ通信における信号処理の高速化への要求には十分に対応できず、信号処理回路内部における処理速度の高速化が必要不可欠である。

#### 【0020】

この発明は、上述の事情に鑑みてなされたもので、高速に行うことができる巡回冗長検査演算方法及び巡回冗長検査演算回路を提供することを目的としている。

#### 【0021】

##### 【課題を解決するための手段】

上記課題を解決するために、請求項1記載の発明は、伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、上記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算方法に係り、上記データの所定ビット数ごとに第1の生成多項式により演算を行う第1の演算処理と、上記データの所定ビット数ごとに上記第1の生成多項式と同一の又は異なる少なくとも1個の第2の生成多項式により演算を行う第2の演算処理と、上記データの所定ビット数と、上記第1及び第2の演算処理の一方又は両方の途中で得られる少なくとも1個の演算結果とについて上記少なくとも1個の第2の生成多項式により演算を行う第3の演算処理とを有することを特徴としている。

#### 【0022】

また、請求項2記載の発明は、請求項1記載の巡回冗長検査演算方法において、上記第3の演算処理では、上記データの所定ビット数を下位ビットとし、上記少なくとも1個の演算結果を上位ビットとして上記演算を行うことを特徴としている。

#### 【0023】

また、請求項 3 記載の発明は、伝送すべきデータについて複数の生成多項式により誤り検出のための演算を行い、上記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算方法に係り、上記データの 32 ビットごとに 32 次の生成多項式により演算を行う第 1 の演算処理と、上記データの 32 ビットごとに 16 次の生成多項式により演算を行う第 2 の演算処理と、上記データの 32 ビットと、上記第 1 の演算処理の途中で得られる 32 ビットの演算結果とについて上記 16 次の生成多項式により演算を行う第 3 の演算処理とを有することを特徴としている。

#### 【0024】

また、請求項 4 記載の発明は、請求項 3 記載の巡回冗長検査演算方法に係り、上記第 3 の演算処理では、上記データの 32 ビットを下位ビットとし、上記 32 ビットの演算結果を上位ビットとする 64 ビットごとに上記演算を行うことを特徴としている。

#### 【0025】

また、請求項 5 記載の発明は、伝送すべきデータについて複数の生成多項式により誤り検出のための演算を行い、上記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算方法に係り、上記データの 32 ビットごとに 16 次の生成多項式により演算を行う第 1 の演算処理と、上記データの 32 ビットごとに上記 16 次の生成多項式により演算を行う第 2 の演算処理と、上記データの 32 ビットと、上記第 1 の演算処理の途中で得られる 16 ビットの第 1 の演算結果とについて上記 16 次の生成多項式により演算を行う第 3 の演算処理と、上記データの 32 ビットごとに上記 16 次の生成多項式により演算を行う第 4 の演算処理と、上記データの 32 ビットと、上記第 1 の演算結果と、上記第 2 の演算処理の途中で得られる 16 ビットの第 2 の演算結果とについて上記 16 次の生成多項式により演算を行う第 5 の演算処理とを有することを特徴としている。

#### 【0026】

また、請求項 6 記載の発明は、請求項 5 記載の巡回冗長検査演算方法に係り、上記第 3 の演算処理では、上記データの 32 ビットを下位ビットとし、上記第 1

の演算結果を上位ビットとする 48 ビットごとに上記演算を行い、上記第 5 の演算処理では、上記データの 32 ビットを下位ビットとし、上記第 1 の演算結果を中位ビットとし、上記第 2 の演算結果を上位ビットとする 64 ビットごとに上記演算を行うことを特徴としている。

#### 【0027】

また、請求項 7 記載の発明は、伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、上記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算回路に係り、上記データの所定ビット数ごとに第 1 の生成多項式により演算を行う第 1 の演算部と、上記データの所定ビット数ごとに上記第 1 の生成多項式と同一の又は異なる少なくとも 1 個の第 2 の生成多項式により演算を行う第 2 の演算部と、上記データの所定ビット数と、上記第 1 及び第 2 の演算処理の一方又は両方の途中で得られる少なくとも 1 個の演算結果とについて上記少なくとも 1 個の第 2 の生成多項式により演算を行う第 3 の演算部とを有することを特徴としている。

#### 【0028】

また、請求項 8 記載の発明は、請求項 7 記載の巡回冗長検査演算回路上記データの所定ビット数を下位ビットとし、上記少なくとも 1 個の演算結果を上位ビットとして結合して上記第 3 の演算部に供給するデータ結合部を有することを特徴としている。

#### 【0029】

また、請求項 9 記載の発明は、伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、上記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算回路に係り、上記データの 32 ビットごとに 32 次の生成多項式により演算を行う第 1 の演算部と、上記データの 32 ビットごとに 16 次の生成多項式により演算を行う第 2 の演算部と、上記データの 32 ビットと、上記第 1 の演算部において演算途中で得られる 32 ビットの演算結果とについて上記 16 次の生成多項式により演算を行う第 3 の演算部とを有することを特徴としている。

#### 【0030】

また、請求項 10 記載の発明は、請求項 9 記載の巡回冗長検査演算回路に係り、上記データの 32 ビットを下位ビットとし、上記 32 ビットの演算結果を上位ビットとして結合して上記第 3 の演算部に供給するデータ結合部を有することを特徴としている。

#### 【0031】

また、請求項 11 記載の発明は、伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、上記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算回路に係り、上記データの 32 ビットごとに 16 次の生成多項式により演算を行う第 1 の演算部と、上記データの 32 ビットごとに上記 16 次の生成多項式により演算を行う第 2 の演算部と、上記データの 32 ビットと、上記第 1 の演算部において演算途中で得られる 16 ビットの第 1 の演算結果とについて上記 16 次の生成多項式により演算を行う第 3 の演算部と、上記データの 32 ビットごとに上記 16 次の生成多項式により演算を行う第 4 の演算部と、上記データの 32 ビットと、上記第 1 の演算結果と、上記第 2 の演算部において演算途中で得られる 16 ビットの第 2 の演算結果とについて上記 16 次の生成多項式により演算を行う第 5 の演算部とを有することを特徴としている。

#### 【0032】

また、請求項 12 記載の発明は、請求項 11 記載の巡回冗長検査演算回路に係り、上記データの 32 ビットを下位ビットとし、上記第 1 の演算結果を上位ビットとして結合して上記第 3 の演算部に供給する第 1 のデータ結合部と、上記データの 32 ビットを下位ビットとし、上記第 1 の演算結果を中位ビットとし、上記第 2 の演算結果を上位ビットとして結合して上記第 5 の演算部に供給する第 2 のデータ結合部とを有することを特徴としている。

#### 【0033】

##### 【作用】

この発明の構成によれば、巡回冗長検査演算を高速に行うことができる。

#### 【0034】

##### 【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

#### A. 第1の実施例

まず、この発明の第1の実施例について説明する。

図1は、この発明の第1の実施例であるCRC演算回路の構成を示すブロック図である。

この例のCRC演算回路は、データ入力部31と、ラッチ32～34と、データ結合部35と、演算部36～38と、セレクタ39及び40と、データ出力部41とから構成されている。

##### 【0035】

データ入力部31は、32ビットずつの入力データD<sub>0</sub>に対して波形整形などを施し、出力データD<sub>1</sub>として後段の回路要素に入力するためのインターフェースである。ラッチ32は、32ビットのフリップフロップからなり、データ処理のタイミングを調整するために設けられている。ラッチ32は、データ入力部31の出力データD<sub>1</sub>を外部から供給されるクロック1個分だけラッチし、出力データD<sub>7</sub>として出力する。データ結合部35は、データ入力部31の出力データD<sub>1</sub>と、ラッチ33の出力データD<sub>8</sub>とを結合し、図2に示すように、データ入力部31の出力データD<sub>1</sub>を下位32ビットとし、ラッチ33の出力データD<sub>8</sub>を上位32ビットとする出力データD<sub>2</sub>を生成して出力する。演算部36は、データ入力部31の出力データD<sub>1</sub>について、ラッチ33の出力データD<sub>8</sub>を用いてCRC32演算を行い、32ビットの演算結果を出力データD<sub>3</sub>として出力する。演算部37は、データ入力部31の出力データD<sub>1</sub>について、ラッチ34の出力データD<sub>9</sub>を用いてCRC16演算を行い、16ビットの演算結果を出力データD<sub>4</sub>として出力する。演算部38は、データ結合部35の出力データD<sub>2</sub>について、ラッチ34の出力データD<sub>9</sub>を用いてCRC16演算を行い、16ビットの演算結果を出力データD<sub>5</sub>として出力する。

##### 【0036】

セレクタ39は、演算部37の出力データD<sub>4</sub>か、あるいは演算部38の出力データD<sub>5</sub>のいずれか一方を選択して出力データD<sub>6</sub>として出力する。ラッチ3

3は、32ビットのフリップフロップからなり、演算部36の出力データD<sub>3</sub>をクロック1個分だけラッチし、出力データD<sub>8</sub>として出力する。ラッチ34は、16ビットのフリップフロップからなり、セクタ39の出力データD<sub>6</sub>をクロック1個分だけラッチし、出力データD<sub>9</sub>として出力する。セクタ40は、ラッチ32の出力データD<sub>7</sub>、ラッチ33の出力データD<sub>8</sub>、あるいはラッチ34の出力データD<sub>9</sub>のいずれかを選択して出力データD<sub>10</sub>として出力する。データ出力部41は、セクタ40の出力データD<sub>10</sub>に対して波形整形などを施し、出力データD<sub>11</sub>として後段の回路要素へ供給するためのインターフェイスである。

#### 【0037】

なお、演算部36は、その構成が図20及び図21に示す演算式を回路化したものである。また、演算部37は、その構成が図23に示す演算式を回路化したものである。また、演算部38は、その構成が図3に示す演算式を回路化したものである。図3において、Z<sub>15</sub>～Z<sub>00</sub>はFF<sub>2716</sub>～FF<sub>271</sub>の初期値であり、R<sub>31</sub>～R<sub>00</sub>はラッチ33の出力データD<sub>8</sub>の各ビットである。また、D<sub>31</sub>～D<sub>00</sub>は上記した入力データの各ビットに対応しており、「・」は排他的論理和演算を意味している。

#### 【0038】

図3に示す演算式は、以下に示す手順で生成される。上記したように、演算部38には、図2に示す64ビットのデータが入力される。このため、まず、データ幅64ビットの入力データについてCRC16演算を行う必要がある。この場合の演算結果CRC16は、図22に示す演算部において、64ビット分のデータをシフトするためのクロックを供給した場合の各FF<sub>2716</sub>～271の出力データC<sub>15</sub>～C<sub>00</sub>に相当する。そこで、図4に演算部38に64ビットの入力データと同じ64ビット分のデータをシフトするためのクロックを供給した場合の各FF<sub>2716</sub>～271の出力データC<sub>15</sub>～C<sub>00</sub>の演算式を示す。図4において、R<sub>15</sub>～R<sub>00</sub>はFF<sub>2716</sub>～FF<sub>271</sub>の初期値であり、D<sub>63</sub>～D<sub>00</sub>は上記した入力データの各ビットに対応しており、「・」は排他的論理和演算を意味している。次に、図2に示すように、データ結合部35の出力デー

タD<sub>2</sub>のうち、上位32ビットはラッチ33の出力データD<sub>8</sub>、すなわち、演算部36の演算結果CRC32である。したがって、図4に示す各演算式のD<sub>63</sub>～D<sub>32</sub>に図20及び図21に示す演算式C<sub>31</sub>～C<sub>00</sub>を代入する。この場合、図4に示すR<sub>15</sub>～R<sub>00</sub>と、図20及び図21に示すR<sub>31</sub>～R<sub>00</sub>とを区別するために、前者をZ<sub>15</sub>～Z<sub>00</sub>で表す。そして、得られた各演算式を剰余2に基づいて整理すると、図3に示す演算式が得られる。

#### 【0039】

次に、上記構成のCRC演算回路の動作について、図5に示すタイミング・チャートを参照して説明する。まず、説明を簡単にするために、入力データD<sub>0</sub>は、図5に示すように、バイトデータBD<sub>0</sub>～BD<sub>3</sub>からなるものとする。バイトデータBD<sub>0</sub>は各1バイトのデータブロックDB<sub>0</sub>～DB<sub>3</sub>からなり、バイトデータBD<sub>1</sub>は各1バイトのデータブロックDB<sub>4</sub>～DB<sub>7</sub>からなる。また、バイトデータBD<sub>2</sub>は各1バイトのデータブロックDB<sub>8</sub>～DB<sub>11</sub>からなり、バイトデータBD<sub>3</sub>は各1バイトのデータブロックDB<sub>12</sub>及びDB<sub>13</sub>からなる。

まず、入力データD<sub>0</sub>が、図5（1）に示すように、第1の周期#1から図示せぬクロックに同期して外部から順次CRC演算回路に供給されると、データ入力部31は、入力データD<sub>0</sub>に対して波形整形など施し、出力データD<sub>1</sub>としてラッチ32、データ結合部35並びに演算部36及び37へ順次供給する。

#### 【0040】

これにより、ラッチ32は、データ入力部31の出力データD<sub>1</sub>を外部から供給されるクロック1個分だけラッチし、第2の周期#2から出力データD<sub>7</sub>として順次出力する。

また、演算部36は、第1の周期#1において、データ入力部31の出力データD<sub>1</sub>、今の場合、バイトデータBD<sub>0</sub>について、ラッチ33の出力データD<sub>8</sub>、今の場合、ラッチ33の初期値を用いてCRC32演算を行い、演算結果CRC<sub>00</sub>を生成し、出力データD<sub>3</sub>として出力する。なお、ラッチ33には、初期値として、「0」が予め設定されている。したがって、ラッチ33は、演算部36の出力データD<sub>3</sub>、今の場合、演算結果CRC<sub>00</sub>をクロック1個分だけラッチし、図5（2）に示すように、第2の周期#2に出力データD<sub>8</sub>として出力する。



次に、演算部 36 は、第 2 の周期 # 2 において、データ入力部 31 の出力データ  $D_1$ 、今の場合、バイトデータ  $BD_1$  について、ラッチ 33 の出力データ  $D_8$ 、今の場合、演算結果  $CR_{00}$  を用いて  $CRC_{32}$  演算を行い、演算結果  $CR_{01}$  を生成し、出力データ  $D_3$  として出力する。したがって、ラッチ 33 は、演算部 36 の出力データ  $D_3$ 、今の場合、演算結果  $CR_{01}$  をクロック 1 個分だけラッチし、図 5 (2) に示すように、第 3 の周期 # 3 に出力データ  $D_8$  として出力する。

#### 【0041】

同様に、演算部 36 は、第 3 の周期 # 3 において、データ入力部 31 の出力データ  $D_1$ 、今の場合、バイトデータ  $BD_2$  について、ラッチ 33 の出力データ  $D_8$ 、今の場合、演算結果  $CR_{01}$  を用いて  $CRC_{32}$  演算を行い、演算結果  $CR_{02}$  を生成し、出力データ  $D_3$  として出力する。したがって、ラッチ 33 は、演算部 36 の出力データ  $D_2$ 、今の場合、演算結果  $CR_{02}$  をクロック 1 個分だけラッチし、図 5 (2) に示すように、第 4 の周期 # 4 に出力データ  $D_8$  として出力する。次に、演算部 36 は、第 4 の周期 # 4 において、データ入力部 31 の出力データ  $D_1$ 、今の場合、バイトデータ  $BD_3$  について、ラッチ 33 の出力データ  $D_8$ 、今の場合、演算結果  $CR_{02}$  を用いて  $CRC_{32}$  演算を行い、演算結果  $CR_{03}$  を生成し、出力データ  $D_3$  として出力する。したがって、ラッチ 33 は、演算部 36 の出力データ  $D_3$ 、今の場合、演算結果  $CR_{03}$  をクロック 1 個分だけラッチし、図 5 (2) に示すように、第 5 の周期 # 5 に出力データ  $D_8$  として出力する。この演算結果  $CR_{03}$  が演算結果  $CRC_{32}$  である。この演算結果  $CRC_{32}$  は、上記したように、4 個の演算結果ブロック  $CRC_{32_0} \sim CRC_{32_3}$  から構成されている。

#### 【0042】

一方、演算部 37 は、第 1 の周期 # 1 において、データ入力部 31 の出力データ  $D_1$ 、今の場合、バイトデータ  $BD_0$  について、ラッチ 34 の出力データ  $D_9$ 、今の場合、ラッチ 34 の初期値を用いて  $CRC_{16}$  演算を行い、演算結果  $CR_{10}$  を生成し、図 5 (3) に示すように、出力データ  $D_4$  として出力する。なお、ラッチ 34 には、初期値として、「0」が予め設定されている。これにより、

セクタ 39 は、第 1 の周期 # 1 において、演算部 37 の出力データ D<sub>4</sub>、今の  
場合、演算結果 CR<sub>10</sub> を選択して出力データ D<sub>6</sub> として出力する。したがって  
、ラッチ 34 は、セクタ 39 の出力データ D<sub>6</sub>、今の場合、演算結果 CR<sub>10</sub>  
をクロック 1 個分だけラッチし、図 5 (5) に示すように、第 2 の周期 # 2 に出  
力データ D<sub>9</sub> として出力する。次に、演算部 37 は、第 2 の周期 # 2 において、  
データ入力部 31 の出力データ D<sub>1</sub>、今の場合、バイトデータ BD<sub>1</sub> について、  
ラッチ 34 の出力データ D<sub>9</sub>、今の場合、演算結果 CR<sub>10</sub> を用いて CRC 16  
演算を行い、演算結果 CR<sub>11</sub> を生成し、図 5 (3) に示すように、出力データ  
D<sub>4</sub> として出力する。これにより、セクタ 39 は、第 2 の周期 # 2 において、  
演算部 37 の出力データ D<sub>4</sub>、今の場合、演算結果 CR<sub>11</sub> を選択して出力デー  
タ D<sub>6</sub> として出力する。したがって、ラッチ 34 は、セクタ 39 の出力データ  
D<sub>6</sub>、今の場合、演算結果 CR<sub>11</sub> をクロック 1 個分だけラッチし、図 5 (5)  
に示すように、第 3 の周期 # 3 に出力データ D<sub>9</sub> として出力する。

#### 【0043】

同様に、演算部 37 は、第 3 の周期 # 3 において、データ入力部 31 の出力デ  
ータ D<sub>1</sub>、今の場合、バイトデータ BD<sub>2</sub> について、ラッチ 34 の出力データ D  
<sub>9</sub>、今の場合、演算結果 CR<sub>11</sub> を用いて CRC 16 演算を行い、演算結果 CR  
<sub>12</sub> を生成し、図 5 (3) に示すように、出力データ D<sub>4</sub> として出力する。これ  
により、セクタ 39 は、第 3 の周期 # 3 において、演算部 37 の出力データ D  
<sub>4</sub>、今の場合、演算結果 CR<sub>12</sub> を選択して出力データ D<sub>6</sub> として出力する。し  
たがって、ラッチ 34 は、セクタ 39 の出力データ D<sub>6</sub>、今の場合、演算結果  
CR<sub>12</sub> をクロック 1 個分だけラッチし、図 5 (5) に示すように、第 4 の周期  
# 4 に出力データ D<sub>9</sub> として出力する。

#### 【0044】

次に、第 4 の周期 # 4 に至ると、すなわち、入力データ D<sub>0</sub> を構成する最後の  
データであるバイトデータ BD<sub>3</sub> が検出されると、以下に示す処理が行われる。  
まず、データ結合部 35 は、データ入力部 31 の出力データ D<sub>1</sub>、今の場合、バ  
イトデータ BD<sub>3</sub> と、ラッチ 33 の出力データ D<sub>8</sub>、今の場合、演算結果 CR<sub>0</sub>  
<sub>2</sub> とを結合し、図 2 に示すように、データ入力部 31 の出力データ D<sub>1</sub> を下位 3

2ビットとし、ラッチ33の出力データD<sub>8</sub>を上位32ビットとする合計64ビットの出力データD<sub>2</sub>を生成して出力する。これにより、演算部38は、この64ビットの出力データD<sub>2</sub>について、ラッチ34の出力データD<sub>9</sub>、今の場合、演算結果CR<sub>12</sub>を用いてCRC16演算を行い、演算結果CR<sub>13</sub>を生成し、図5(4)に示すように、出力データD<sub>5</sub>として出力する。この演算結果CR<sub>13</sub>が演算結果CRC16である。この演算結果CRC16は、上記したように、2個の演算結果ブロックCRC16<sub>0</sub>及びCRC16<sub>1</sub>から構成されている。これにより、セクタ39は、第4の周期#4において、今度は演算部38の出力データD<sub>5</sub>、今の場合、演算結果CR<sub>13</sub>を選択して出力データD<sub>6</sub>として出力する。したがって、ラッチ34は、セクタ39の出力データD<sub>6</sub>、今の場合、演算結果CR<sub>13</sub>をクロック1個分だけラッチし、図5(5)に示すように、第5の周期#5に出力データD<sub>9</sub>として出力する。

#### 【0045】

これにより、セクタ40は、第2～第4の周期#2～#4においては、ラッチ32から出力される32ビットの出力データD<sub>7</sub>、今の場合、バイトデータBD<sub>0</sub>～BD<sub>2</sub>を選択して出力データD<sub>10</sub>として出力する。また、セクタ40は、第5の周期#5においては、ラッチ32の出力データD<sub>7</sub>、今の場合、データブロックDB<sub>12</sub>及びDB<sub>13</sub>と、ラッチ33の出力データD<sub>8</sub>、今の場合、演算結果ブロックCRC32<sub>0</sub>及びCRC32<sub>1</sub>とを新たなバイトデータBD'<sub>3</sub>に結合し、出力データD<sub>10</sub>として出力する。さらに、セクタ40は、第6周期#6においては、ラッチ33の出力データD<sub>8</sub>、今の場合、演算結果CRC32を構成する演算結果ブロックCRC32<sub>2</sub>及びCRC32<sub>3</sub>と、ラッチ34の出力データD<sub>9</sub>、今の場合、演算結果CRC16を構成する演算結果ブロックCRC16<sub>0</sub>及びCRC16<sub>1</sub>とを新たなバイトデータBD<sub>4</sub>に結合し、出力データD<sub>10</sub>として出力する。したがって、データ出力部41は、図5(6)に示すように、セクタ40から出力される32ビットの出力データD<sub>10</sub>に対して波形整形など施し、出力データD<sub>11</sub>として後段の回路要素へ供給する。

#### 【0046】

このように、この例の構成によれば、データ結合部35により、出力データD

$1$ の最後のデータであるバイトデータ $BD_3$ と、演算部36において最終的な演算結果 $CRC_{32}$ が得られる1個前の演算結果 $CR_{12}$ とを結合して64ビットの出力データ $D_2$ を生成している。この64ビットの出力データ $D_2$ について演算部38において、 $CRC_{16}$ 演算を行うことにより、演算結果 $CRC_{16}$ を得ている。これにより、演算結果 $CRC_{32}$ 及び $CRC_{16}$ を同時に得ることができる。

したがって、この例の構成によれば、従来のように、 $CRC_{32}$ 演算の演算結果 $CRC_{32}$ を求めた後に $CRC_{16}$ 演算をする場合に比べて、データ入力部31に入力データ $D_0$ が入力されてからデータ出力部41から出力データ $D_{11}$ が出力されるまでの遅延はクロック1個分少なくなる。このため、この例の構成によれば、近年のCPUの動作速度の高速化に伴うデータ通信における信号処理の高速化への要求に十分に 대응することができる。

#### 【0047】

#### B. 第2の実施例

次に、この発明の第2の実施例について説明する。まず、前提として、この例では、データは、図6に示すデータ・フォーマットに従って構成された通信データに組み込まれ、上記高速プロトコルで4バイト（32ビット）ずつ伝送されるものとする。通信データは、図6に示すように、ヘッダと、データと、演算結果 $CRC_{16_1} \sim CRC_{16_3}$ とから構成されている。この通信データは、図7に示すように、ヘッダ及びデータが $n$ 個（ $n$ は自然数）の1バイトずつのデータブロック $DB_0 \sim DB_n$ に分割され、演算結果 $CRC_{16_1}$ が2個の1バイトずつの演算結果ブロック $CRC_{16_1_0}$ 及び $CRC_{16_1_1}$ に分割されている。また、演算結果 $CRC_{16_2}$ が2個の1バイトずつの演算結果ブロック $CRC_{16_2_0}$ 及び $CRC_{16_2_1}$ に分割され、演算結果 $CRC_{16_3}$ が2個の1バイトずつの演算結果ブロック $CRC_{16_3_0}$ 及び $CRC_{16_3_1}$ に分割されている。そして、 $CRC_{16_1}$ 演算はヘッダ及びデータについて行われ、 $CRC_{16_2}$ 演算はヘッダ、データ及び演算結果 $CRC_{16_1}$ について行われ、 $CRC_{16_3}$ 演算はヘッダ、データ並びに演算結果 $CRC_{16_1}$ 及び $CRC_{16_2}$ について行われる。すなわち、 $CRC_{16_2}$ 演算においては、演算結果 $CRC_{16_1}$ もヘッダやデ

ータと同様に見なされ、CRC16<sub>3</sub>演算においては、演算結果CRC16<sub>1</sub>及びCRC16<sub>2</sub>もヘッダやデータと同様に見なされるのである。

#### 【0048】

図8は、この発明の第2の実施例であるCRC演算回路の構成を示すブロック図である。

この例のCRC演算回路は、データ入力部51と、ラッチ52～55と、データ結合部56及び57と、演算部58～62と、セクタ63～65と、データ出力部66とから構成されている。

データ入力部51は、32ビットずつの入力データD<sub>0</sub>に対して波形整形などを施し、出力データD<sub>1</sub>として後段の回路要素に入力するためのインターフェイスである。ラッチ52は、32ビットのフリップフロップからなり、データ処理のタイミングを調整するために設けられている。ラッチ52は、データ入力部51の出力データD<sub>1</sub>を外部から供給されるクロック1個分だけラッチし、出力データD<sub>11</sub>として出力する。データ結合部56は、データ入力部51の出力データD<sub>1</sub>と、ラッチ53の出力データD<sub>12</sub>とを結合し、図9に示すように、データ入力部51の出力データD<sub>1</sub>を下位32ビットとし、ラッチ53の出力データD<sub>12</sub>を上位16ビットとする出力データD<sub>2</sub>を生成して出力する。データ結合部57は、データ入力部51の出力データD<sub>1</sub>と、ラッチ53の出力データD<sub>12</sub>と、ラッチ54の出力データD<sub>13</sub>とを結合し、図10に示すように、データ入力部51の出力データD<sub>1</sub>を下位32ビットとし、ラッチ53の出力データD<sub>12</sub>を中位16ビットとし、ラッチ54の出力データD<sub>13</sub>を下位16ビットとする出力データD<sub>3</sub>を生成して出力する。

#### 【0049】

演算部58は、データ入力部51の出力データD<sub>1</sub>について、ラッチ53の出力データD<sub>12</sub>を用いてCRC16演算を行い、16ビットの演算結果を出力データD<sub>4</sub>として出力する。演算部59は、データ入力部51の出力データD<sub>1</sub>について、ラッチ54の出力データD<sub>13</sub>を用いてCRC16演算を行い、16ビットの演算結果を出力データD<sub>5</sub>として出力する。演算部60は、データ結合部56の出力データD<sub>2</sub>について、ラッチ54の出力データD<sub>13</sub>を用いてCRC

16 演算を行い、16 ビットの演算結果を出力データ D<sub>6</sub> として出力する。演算部 61 は、データ入力部 51 の出力データ D<sub>1</sub> について、ラッチ 55 の出力データ D<sub>14</sub> を用いて CRC 16 演算を行い、16 ビットの演算結果を出力データ D<sub>7</sub> として出力する。演算部 62 は、データ結合部 57 の出力データ D<sub>3</sub> について、ラッチ 55 の出力データ D<sub>14</sub> を用いて CRC 16 演算を行い、16 ビットの演算結果を出力データ D<sub>8</sub> として出力する。

#### 【0050】

セクタ 63 は、演算部 59 の出力データ D<sub>5</sub> か、あるいは演算部 60 の出力データ D<sub>6</sub> のいずれか一方を選択して出力データ D<sub>9</sub> として出力する。セクタ 64 は、演算部 61 の出力データ D<sub>7</sub> か、あるいは演算部 62 の出力データ D<sub>8</sub> のいずれか一方を選択して出力データ D<sub>10</sub> として出力する。ラッチ 53 は、16 ビットのフリップフロップからなり、演算部 58 の出力データ D<sub>4</sub> をクロック 1 個分だけラッチし、出力データ D<sub>12</sub> として出力する。ラッチ 54 は、16 ビットのフリップフロップからなり、セクタ 63 の出力データ D<sub>9</sub> をクロック 1 個分だけラッチし、出力データ D<sub>13</sub> として出力する。ラッチ 55 は、16 ビットのフリップフロップからなり、セクタ 64 の出力データ D<sub>10</sub> をクロック 1 個分だけラッチし、出力データ D<sub>14</sub> として出力する。セクタ 65 は、ラッチ 52 の出力データ D<sub>11</sub>、ラッチ 53 の出力データ D<sub>12</sub>、ラッチ 54 の出力データ D<sub>13</sub>、あるいはラッチ 55 の出力データ D<sub>14</sub> のいずれかを選択して出力データ D<sub>15</sub> として出力する。データ出力部 66 は、セクタ 65 の出力データ D<sub>15</sub> に対して波形整形などを施し、出力データ D<sub>16</sub> として後段の回路要素へ供給するためのインターフェイスである。

#### 【0051】

なお、演算部 58、59 及び 61 は、その構成が図 23 に示す演算式を回路化したものである。また、演算部 60 は、その構成は図 11 に示す演算式を回路化したものである。図 11 において、Z<sub>15</sub>～Z<sub>00</sub> は FF<sub>2716</sub>～FF<sub>271</sub> の初期値であり、R<sub>31</sub>～R<sub>00</sub> はラッチ 53 の出力データ D<sub>12</sub> の各ビットである。また、D<sub>31</sub>～D<sub>00</sub> は上記した入力データの各ビットに対応しており、「・」は排他的論理和演算を意味している。

## 【0052】

図11に示す演算式は、以下に示す手順で生成される。上記したように、演算部60には、図9に示す48ビットのデータが入力される。このため、まず、データ幅48ビットの入力データについてCRC16演算を行う必要がある。この場合の演算結果CRC16は、図22に示す演算部において、48ビット分のデータをシフトするためのクロックを供給した場合の各FF27<sub>16</sub>～27<sub>1</sub>の出力データC15～C00に相当する。そこで、図12に演算部60に48ビットの入力データと同じ48ビット分のデータをシフトするためのクロックを供給した場合の各FF27<sub>16</sub>～27<sub>1</sub>の出力データC15～C00の演算式を示す。図12において、Z15～Z00はFF27<sub>16</sub>～FF27<sub>1</sub>の初期値であり、D47～D00は上記した入力データを構成するビット列d<sub>47</sub>, d<sub>46</sub>, ..., d<sub>1</sub>, d<sub>0</sub>に対応しており、「・」は排他的論理和演算を意味している。次に、図9に示すように、データ結合部56の出力データD<sub>2</sub>のうち、上位16ビットはラッチ53の出力データD<sub>12</sub>、すなわち、演算部58の演算結果CRC16<sub>1</sub>である。したがって、図12に示す各演算式のD47～D32に図23に示す演算式C15～C00を代入する。そして、得られた各演算式を剰余2に基づいて整理すると、図11に示す演算式が得られる。

## 【0053】

また、演算部62は、その構成は図22に示す構成と同様であるが、演算式は図13に示す演算式を用いる。図13において、R15～R00はFF27<sub>16</sub>～FF27<sub>1</sub>の初期値であり、X15～X00はラッチ53の出力データD<sub>12</sub>の各ビット、Z15～Z00はラッチ54の出力データD<sub>13</sub>の各ビットである。また、D31～D00は上記した入力データを構成するビット列d<sub>31</sub>, d<sub>30</sub>, ..., d<sub>1</sub>, d<sub>0</sub>に対応しており、「・」は排他的論理和演算を意味している。

図13に示す演算式は、以下に示す手順で生成される。上記したように、演算部62には、図10に示す64ビットのデータが入力される。このため、まず、データ幅64ビットの入力データについてCRC16演算を行う必要がある。この場合の演算結果CRC16は、図22に示す演算部において、64ビット分の

データをシフトするためのクロックを供給した場合の各  $FF_{2716} \sim 271$  の出力データ  $C_{15} \sim C_{00}$  に相当する。図4は、上記したように、演算部38に64ビットの入力データと同じ64ビット分のデータをシフトするためのクロックを供給した場合の各  $FF_{2716} \sim 271$  の出力データ  $C_{15} \sim C_{00}$  の演算式を示している。次に、図10に示すように、データ結合部57の出力データ  $D_3$  のうち、上位16ビットはラッチ54の出力データ  $D_{13}$ 、すなわち、演算部60の演算結果  $CRC_{162}$  であり、中位16ビットはラッチ53の出力データ  $D_{12}$ 、すなわち、演算部58の演算結果  $CRC_{161}$  である。したがって、図4に示す各演算式の  $D_{63} \sim D_{48}$  に図11に示す演算式  $C_{15} \sim C_{00}$  を代入し、図4に示す各演算式の  $D_{47} \sim D_{32}$  に図23に示す演算式  $C_{15} \sim C_{00}$  を代入する。この場合、図4に示す  $R_{15} \sim R_{00}$  と、図11及び図23に示す  $R_{15} \sim R_{00}$  とを区別するために、後者を  $X_{15} \sim X_{00}$  で表す。そして、得られた各演算式を剰余2に基づいて整理すると、図13に示す演算式が得られる。

#### 【0054】

次に、上記構成のCRC演算回路の動作について、図14に示すタイミング・チャートを参照して説明する。まず、説明を簡単にするために、入力データ  $D_0$  は、図14に示すように、バイトデータ  $BD_0 \sim BD_3$  からなるものとする。バイトデータ  $BD_0$  は各1バイトのデータブロック  $DB_0 \sim DB_3$  からなり、バイトデータ  $BD_1$  は各1バイトのデータブロック  $DB_4 \sim DB_7$  からなる。また、バイトデータ  $BD_2$  は各1バイトのデータブロック  $DB_8 \sim DB_{11}$  からなり、バイトデータ  $BD_3$  は1バイトのデータブロック  $DB_{12}$  からなる。

まず、入力データ  $D_0$  が、図14(1)に示すように、第1の周期#1から図示せぬクロックに同期して外部から順次CRC演算回路に供給されると、データ入力部51は、入力データ  $D_0$  に対して波形整形など施し、出力データ  $D_1$  としてラッチ52、データ結合部56及び57並びに演算部58、59及び61へ順次供給する。

#### 【0055】

これにより、ラッチ52は、データ入力部51の出力データ  $D_1$  を外部から供



給されるクロック 1 個分だけラッチし、第 2 の周期 # 2 から出力データ  $D_{11}$  として順次出力する。

また、演算部 58 は、第 1 の周期 # 1 において、データ入力部 51 の出力データ  $D_1$ 、今の場合、バイトデータ  $BD_0$  について、ラッチ 53 の出力データ  $D_{12}$ 、今の場合、ラッチ 53 の初期値を用いて CRC 16 演算を行い、演算結果  $CR_{00}$  を生成し、図 14 (2) に示すように、出力データ  $D_4$  として出力する。なお、ラッチ 53 には、初期値として、「0」が予め設定されている。したがって、ラッチ 53 は、演算部 58 の出力データ  $D_4$ 、今の場合、演算結果  $CR_{00}$  をクロック 1 個分だけラッチし、図 14 (3) に示すように、第 2 の周期 # 2 に出力データ  $D_{12}$  として出力する。次に、演算部 58 は、第 2 の周期 # 2 において、データ入力部 51 の出力データ  $D_1$ 、今の場合、バイトデータ  $BD_1$  について、ラッチ 53 の出力データ  $D_{12}$ 、今の場合、演算結果  $CR_{00}$  を用いて CRC 16 演算を行い、演算結果  $CR_{01}$  を生成し図 14 (2) に示すように、出力データ  $D_4$  として出力する。したがって、ラッチ 53 は、演算部 58 の出力データ  $D_4$ 、今の場合、演算結果  $CR_{01}$  をクロック 1 個分だけラッチし、図 14 (3) に示すように、第 3 の周期 # 3 に出力データ  $D_{12}$  として出力する。

#### 【0056】

同様に、演算部 58 は、第 3 の周期 # 3 において、データ入力部 51 の出力データ  $D_1$ 、今の場合、バイトデータ  $BD_2$  について、ラッチ 53 の出力データ  $D_{12}$ 、今の場合、演算結果  $CR_{01}$  を用いて CRC 16 演算を行い、演算結果  $CR_{02}$  を生成し、図 14 (2) に示すように、出力データ  $D_4$  として出力する。したがって、ラッチ 53 は、演算部 58 の出力データ  $D_4$ 、今の場合、演算結果  $CR_{02}$  をクロック 1 個分だけラッチし、図 14 (3) に示すように、第 4 の周期 # 4 に出力データ  $D_8$  として出力する。次に、演算部 58 は、第 4 の周期 # 4 において、データ入力部 51 の出力データ  $D_1$ 、今の場合、バイトデータ  $BD_3$  について、ラッチ 53 の出力データ  $D_{12}$ 、今の場合、演算結果  $CR_{02}$  を用いて CRC 16 演算を行い、演算結果  $CR_{03}$  を生成し、図 14 (2) に示すように、出力データ  $D_4$  として出力する。したがって、ラッチ 53 は、演算部 58 の出力データ  $D_4$ 、今の場合、演算結果  $CR_{03}$  をクロック 1 個分だけラッチし、

図14 (3) に示すように、第5の周期# 5に出力データD<sub>12</sub>として出力する。この演算結果CR<sub>03</sub>が演算結果CRC16<sub>1</sub>である。この演算結果CRC16<sub>1</sub>は、上記したように、2個の演算結果ブロックCRC16<sub>10</sub>及びCRC16<sub>11</sub>から構成されている。

#### 【0057】

また、演算部61は、第1の周期# 1において、データ入力部51の出力データD<sub>1</sub>、今の場合、バイトデータBD<sub>0</sub>について、ラッチ55の出力データD<sub>14</sub>、今の場合、ラッチ55の初期値を用いてCRC16演算を行い、演算結果CR<sub>20</sub>を生成し、図14 (7) に示すように、出力データD<sub>7</sub>として出力する。なお、ラッチ55には、初期値として、「0」が予め設定されている。これにより、セクタ64は、第1の周期# 1において、演算部61の出力データD<sub>7</sub>、今の場合、演算結果CR<sub>20</sub>を選択して出力データD<sub>10</sub>として出力する。したがって、ラッチ55は、セクタ64の出力データD<sub>10</sub>、今の場合、演算結果CR<sub>20</sub>をクロック1個分だけラッチし、図14 (9) に示すように、第2の周期# 2に出力データD<sub>14</sub>として出力する。次に、演算部61は、第2の周期# 2において、データ入力部51の出力データD<sub>1</sub>、今の場合、バイトデータBD<sub>1</sub>について、ラッチ55の出力データD<sub>13</sub>、今の場合、演算結果CR<sub>20</sub>を用いてCRC16演算を行い、演算結果CR<sub>21</sub>を生成し、図14 (7) に示すように、出力データD<sub>7</sub>として出力する。これにより、セクタ64は、第2の周期# 2において、演算部561出力データD<sub>7</sub>、今の場合、演算結果CR<sub>21</sub>を選択して出力データD<sub>10</sub>として出力する。したがって、ラッチ55は、セクタ64の出力データD<sub>10</sub>、今の場合、演算結果CR<sub>21</sub>をクロック1個分だけラッチし、図14 (9) に示すように、第3の周期# 3に出力データD<sub>14</sub>として出力する。

#### 【0058】

同様に、演算部61は、第3の周期# 3において、データ入力部51の出力データD<sub>1</sub>、今の場合、バイトデータBD<sub>2</sub>について、ラッチ55の出力データD<sub>14</sub>、今の場合、演算結果CR<sub>21</sub>を用いてCRC16演算を行い、演算結果CR<sub>22</sub>を生成し、図14 (7) に示すように、出力データD<sub>7</sub>として出力する。

これにより、セクタ 64 は、第 3 の周期 # 3 において、演算部 61 の出力データ  $D_7$ 、今の場合、演算結果  $CR_{22}$  を選択して出力データ  $D_{10}$  として出力する。したがって、ラッチ 55 は、セクタ 64 の出力データ  $D_{10}$ 、今の場合、演算結果  $CR_{22}$  をクロック 1 個分だけラッチし、図 14 (9) に示すように、第 4 の周期 # 4 に出力データ  $D_{14}$  として出力する。

#### 【0059】

次に、第 4 の周期 # 4 に至ると、すなわち、入力データ  $D_0$  を構成する最後のデータであるバイトデータ  $BD_3$  が検出されると、以下に示す処理が行われる。まず、データ結合部 57 は、データ入力部 51 の出力データ  $D_1$ 、今の場合、バイトデータ  $BD_3$  と、ラッチ 53 の出力データ  $D_{12}$ 、今の場合、演算結果  $CR_{02}$  と、ラッチ 54 の出力データ  $D_{13}$ 、今の場合、演算結果  $CR_{12}$  とを結合し、図 10 に示すように、データ入力部 51 の出力データ  $D_1$  を下位 32 ビットとし、ラッチ 53 の出力データ  $D_{12}$  を中位 16 ビットとし、ラッチ 54 の出力データ  $D_{13}$  を下位 16 ビットとする合計 64 ビットの出力データ  $D_3$  を生成して出力する。これにより、演算部 62 は、この 64 ビットの出力データ  $D_3$  について、ラッチ 55 の出力データ  $D_{14}$ 、今の場合、演算結果  $CR_{22}$  を用いて  $CR_{16}$  演算を行い、演算結果  $CR_{23}$  を生成し、図 14 (8) に示すように、出力データ  $D_8$  として出力する。この演算結果  $CR_{23}$  が演算結果  $CR_{163}$  である。この演算結果  $CR_{163}$  は、上記したように、2 個の演算結果ブロック  $CR_{1630}$  及び  $CR_{1631}$  から構成されている。これにより、セクタ 64 は、第 4 の周期 # 4 において、今度は演算部 62 の出力データ  $D_8$ 、今の場合、演算結果  $CR_{23}$  を選択して出力データ  $D_{10}$  として出力する。したがって、ラッチ 55 は、セクタ 64 の出力データ  $D_{10}$ 、今の場合、演算結果  $CR_{23}$  をクロック 1 個分だけラッチし、図 14 (9) に示すように、第 5 の周期 # 5 に出力データ  $D_{14}$  として出力する。

#### 【0060】

これにより、セクタ 65 は、第 2 ～第 4 の周期 # 2 ～# 4 においては、ラッチ 52 から出力される 32 ビットの出力データ  $D_{11}$ 、今の場合、バイトデータ  $BD_0 \sim BD_2$  を選択して出力データ  $D_{15}$  として出力する。また、セクタ 6

5は、第5の周期#5においては、ラッチ52の出力データ $D_{11}$ 、今の場合、データブロック $DB_{12}$ と、ラッチ53の出力データ $D_{12}$ 、今の場合、演算結果 $CRC_{161}$ を構成する演算結果ブロック $CRC_{1610}$ 及び $CRC_{1611}$ と、ラッチ54の出力データ $D_{13}$ 、今の場合、演算結果 $CRC_{162}$ を構成する演算結果ブロック $CRC_{1620}$ とを新たなバイトデータ $BD'_3$ に結合し、出力データ $D_{15}$ として出力する。さらに、セクタ65は、第6周期#6においては、ラッチ54の出力データ $D_{13}$ 、今の場合、演算結果 $CRC_{162}$ を構成する演算結果ブロック $CRC_{1621}$ と、ラッチ55の出力データ $D_{14}$ 、今の場合、演算結果 $CRC_{163}$ を構成する演算結果ブロック $CRC_{1630}$ 及び $CRC_{1631}$ とを新たなバイトデータ $BD_4$ に結合し、出力データ $D_{15}$ として出力する。したがって、データ出力部66は、図14(10)に示すように、セクタ65から出力される32ビットの出力データ $D_{15}$ に対して波形整形など施し、出力データ $D_{16}$ として後段の回路要素へ供給する。

#### 【0061】

このように、この例の構成によれば、データ結合部56により、出力データ $D_1$ の最後のデータであるバイトデータ $BD_3$ と、演算部58において最終的な演算結果 $CRC_{161}$ が得られる1個前の演算結果 $CR_{02}$ とを結合して48ビットの出力データ $D_2$ を生成している。そして、この48ビットの出力データ $D_2$ について演算部60において、CRC16演算を行うことにより、演算結果 $CRC_{162}$ を得ている。同様に、データ結合部57により、出力データ $D_1$ の最後のデータであるバイトデータ $BD_3$ と、演算部58において最終的な演算結果 $CRC_{161}$ が得られる1個前の演算結果 $CR_{02}$ と、演算部59において最終的な演算結果 $CRC_{162}$ が得られる1個前の演算結果 $CR_{12}$ とを結合して64ビットの出力データ $D_3$ を生成している。そして、この64ビットの出力データ $D_3$ について演算部62において、CRC16演算を行うことにより、演算結果 $CRC_{163}$ を得ている。これにより、演算結果 $CRC_{161} \sim CRC_{163}$ を同時に得ることができる。したがって、データ入力部51に入力データ $D_0$ が入力されてからデータ出力部66から出力データ $D_{16}$ が出力されるまでの遅延はクロック1個分で済む。

これに対し、図6に示すデータ・フォーマットによりデータを伝送する場合に、「従来の技術」で述べたように、演算結果CRC16<sub>1</sub>を求めた後に演算結果CRC16<sub>2</sub>を求め、さらに、演算結果CRC16<sub>2</sub>を求めた後に演算結果CRC16<sub>3</sub>を求めるとすると、データ入力部51に入力データD<sub>0</sub>が入力されてからデータ出力部66から出力データD<sub>16</sub>が出力されるまでにクロック3個分の遅延が生じてしまう。すなわち、この例の構成によれば、従来に比べて、遅延はクロック2個分少なくなる。このため、この例の構成によれば、近年のCPUの動作速度の高速化に伴うデータ通信における信号処理の高速化への要求に十分に應えることができる。

#### 【0062】

以上、この発明の実施例を図面を参照して詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。

例えば、上述の各実施例においては、通信データは4バイトずつ伝送される例を示したが、これに限定されず、この発明は、通信データは1バイト、2バイト、8バイト、あるいはそれ以上のバイト数で伝送される場合にも適用することができる。

また、上記した第1の実施例においては、ヘッダ及びデータについてCRC32演算を、ヘッダ、データ及び演算結果CRC32についてCRC16演算を行う例を示した。また、上記した第2の実施例においては、ヘッダ及びデータについて第1のCRC16演算を、ヘッダ、データ及び演算結果CRC16<sub>1</sub>について第2のCRC16演算を、ヘッダ、データ、演算結果CRC16<sub>1</sub>及びCRC16<sub>2</sub>について第3のCRC16演算を行う例を示した。しかし、これに限定されず、第1の実施例においては、ヘッダ及びデータについてCRC16演算を、ヘッダ、データ及び演算結果CRC16についてCRC32演算を行っても良い。同様に、第2の実施例においては、ヘッダ及びデータについてCRC32演算を、ヘッダ、データ及び演算結果CRC32について第1のCRC16演算を、ヘッダ、データ、演算結果CRC32及びCRC16<sub>1</sub>について第2のCRC16演算を行っても良い。

また、生成多項式は、式（１）及び式（２）に限定されず、どのようなものでも良い。さらに、生成多項式の次数も 32 次及び 16 次に限定されず、48 次、64 次でも良い。加えて、生成多項式の個数も 2 個に限定されず、3 個、4 個以上でも良い。

要するに、この発明は、データ等について CRC 演算を 2 回以上行う場合に適用することができる。

### 【0063】

#### 【発明の効果】

以上説明したように、この発明の構成によれば、伝送すべきデータの所定ビット数ごとに第 1 の生成多項式により演算を行う第 1 の演算処理と、データの所定ビット数ごとに第 1 の生成多項式と同一の又は異なる少なくとも 1 個の第 2 の生成多項式により演算を行う第 2 の演算処理と、データの所定ビット数と、第 1 及び第 2 の演算処理の一方又は両方の途中で得られる少なくとも 1 個の演算結果とについて少なくとも 1 個の第 2 の生成多項式により演算を行う第 3 の演算処理とを有する。

したがって、この発明の構成によれば、巡回冗長検査演算を高速に行うことができる。

#### 【図面の簡単な説明】

##### 【図 1】

この発明の第 1 の実施例である CRC 演算回路の構成を示すブロック図である。

##### 【図 2】

同回路を構成するデータ結合部 35 により生成される出力データ  $D_2$  のデータフォーマットを示す図である。

##### 【図 3】

同回路を構成する演算部 38 により実現される CRC 16 演算の演算式を示す図である。

##### 【図 4】

図 3 に示す演算式を求める課程で得られる演算式を示す図である。

**【図 5】**

同回路の動作の一例を説明するためのタイミング・チャートである。

**【図 6】**

この発明の第 2 の実施例である CRC 演算回路が適用される通信システムにおいて伝送される通信データのデータ・フォーマットの一例を示す図である。

**【図 7】**

同システムにおいて伝送される通信データの伝送の様子を示す図である。

**【図 8】**

この発明の第 2 の実施例である CRC 演算回路の構成を示すブロック図である。

**【図 9】**

同回路を構成するデータ結合部 5 6 により生成される出力データ D<sub>2</sub> のデータ・フォーマットを示す図である。

**【図 10】**

同回路を構成するデータ結合部 5 7 により生成される出力データ D<sub>3</sub> のデータ・フォーマットを示す図である。

**【図 11】**

同回路を構成する演算部 6 0 により実現される CRC 1 6 演算の演算式を示す図である。

**【図 12】**

図 1 1 に示す演算式を求める課程で得られる演算式を示す図である。

**【図 13】**

同回路を構成する演算部 6 2 により実現される CRC 1 6 演算の演算式を示す図である。

**【図 14】**

同回路の動作の一例を説明するためのタイミング・チャートである。

**【図 15】**

従来のデータ通信システムの構成例を示すブロック図である。

**【図 16】**

同システムにおいて伝送される通信データのデータ・フォーマットの一例を示す図である。

【図 1 7】

同システムにおいて伝送される通信データの伝送の様子を示す図である。

【図 1 8】

従来の C R C 演算回路の構成例を示すブロック図である。

【図 1 9】

同回路を構成する演算部 1 9 の構成例を示すブロック図である。

【図 2 0】

同演算部 1 9 により実現される C R C 3 2 演算の演算式を示す図である。

【図 2 1】

同演算部 1 9 により実現される C R C 3 2 演算の演算式を示す図である。

【図 2 2】

同回路を構成する演算部 2 0 の構成例を示すブロック図である。

【図 2 3】

同演算部 2 0 により実現される C R C 1 6 演算の演算式を示す図である。

【図 2 4】

同回路の動作の一例を説明するためのタイミング・チャートである。

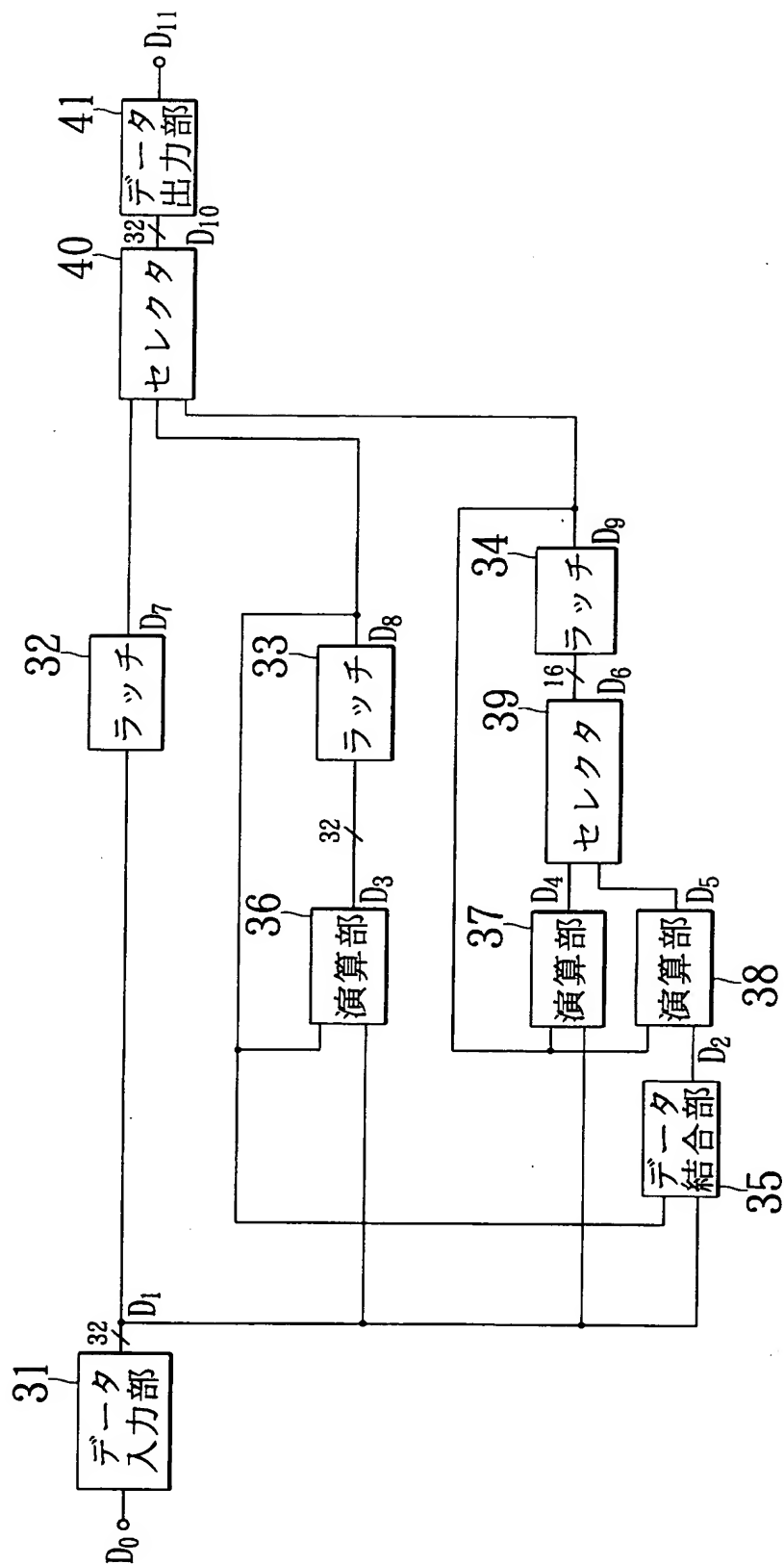
【符号の説明】

3 2 ～ 3 4 , 5 2 ～ 5 5	ラッチ
3 5 , 5 6 , 5 7	データ結合部
3 6 , 5 8	演算部 (第 1 の演算部)
3 7 , 5 9	演算部 (第 2 の演算部)
3 8 , 6 0	演算部 (第 3 の演算部)
5 6	データ結合部 (第 1 のデータ結合部)
5 7	データ結合部 (第 2 のデータ結合部)
6 1	演算部 (第 4 の演算部)
6 2	演算部 (第 5 の演算部)
3 9 , 4 0 , 6 3 ～ 6 5	セレクタ

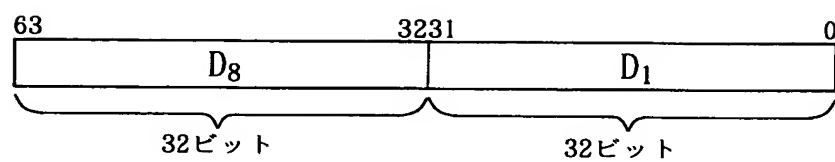


【書類名】 図面

【図1】



【図 2】



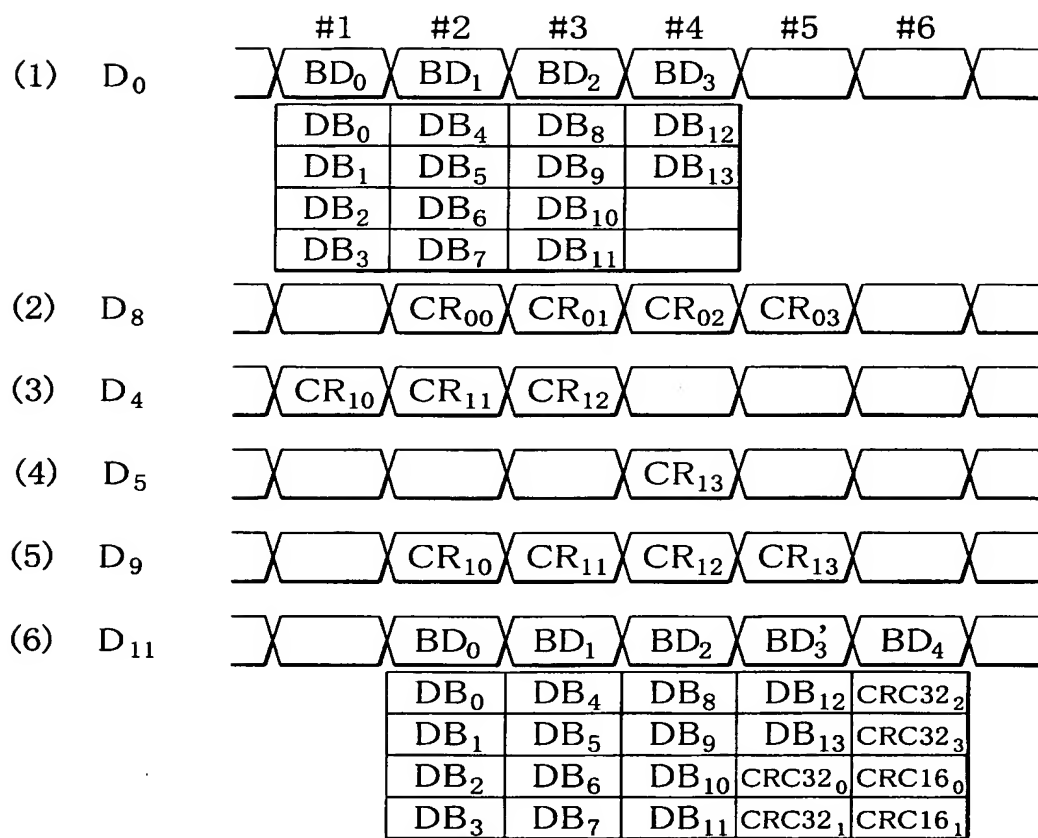
【図 3】

C15	Z01・Z03・Z04・Z07・Z08・Z10・Z11・Z12・Z13・Z15・R0・R02・R03・R04・R05・R06・R08・R11・R12・R13・R20・D00・D03・D04・D05・D06・D07・D10・D12・D14・D16・D17・D18・D19・D23・D25・D27・D29・D31
C14	Z00・Z02・Z03・Z06・Z07・Z09・Z10・Z11・Z12・Z14・Z15・R02・R06・R08・R12・R18・R22・R25・R27・R29・R31・D01・D02・D05・D07・D08・D10・D12・D13・D15・D16・D19・D23・D30
C13	Z01・Z02・Z05・Z06・Z08・Z09・Z10・Z11・Z13・Z14・Z15・R00・R01・R05・R07・R09・R10・R12・R13・R14・R15・D01・D02・D03・D04・D05・D08・D13・D14・D15・D16・D21・D22・D26・D27・D29・D30・D31
C12	Z00・Z01・Z04・Z05・Z07・Z08・Z09・Z10・Z12・Z13・Z14・Z15・R00・R01・R02・R03・R04・R08・R10・R13・R15・R21・R22・R23・R24・D01・D03・D07・D10・D14・D15・D17・D19・D21・D23・D24・D26・D28・D29
C11	Z00・Z01・Z06・Z09・Z10・Z14・R03・R04・R05・R07・R08・R11・R13・R15・R16・R18・R20・R22・R23・R25・R26・R27・R28・R29・R31・D00・D01・D03・D04・D08・D09・D10・D11・D13・D14・D17・D18・D23・D25・D27・D28・D30
C10	Z00・Z05・Z08・Z09・Z13・R00・R03・R04・R07・R09・R11・R12・R15・R17・R18・R25・R27・R29・R30・R31・D00・D01・D02・D07・D09・D14・D18・D21・D22・D24・D25・D26・D27・D30
C09	Z04・Z07・Z08・Z12・Z15・R02・R04・R05・R07・R12・R16・R20・R21・R22・R23・R25・R27・R30・R31・D03・D05・D07・D11・D13・D15・D18・D19・D21・D24・D25・D27・D29・D30
C08	Z03・Z06・Z07・Z11・Z14・Z15・R02・R09・R10・R11・R12・R13・R14・R16・R17・R18・R19・R21・R22・R24・R25・R27・R29・D01・D05・D07・D09・D14・D15・D16・D17・D19・D21・D23・D27・D29
C07	Z02・Z05・Z06・Z10・Z13・Z14・Z15・R00・R01・R02・R03・R04・R05・R08・R09・R10・R11・R12・R13・R15・R17・R20・R21・R22・R23・R26・R27・R30・R31・D05・D08・D09・D10・D11・D12・D14・D17・D18・D19・D22・D24・D26・D27・D31
C06	Z01・Z04・Z05・Z09・Z12・Z13・Z14・R07・R08・R10・R12・R14・R15・R19・R22・R27・R28・R29・R30・D00・D02・D03・D04・D06・D11・D13・D14・D16・D20・D22・D23・D25・D29
C05	Z00・Z03・Z04・Z08・Z11・Z12・Z13・R00・R03・R04・R05・R06・R09・R10・R14・R16・R18・R19・R20・R28・R29・R31・D00・D02・D04・D05・D07・D09・D17・D21・D23・D24・D26・D27・D28・D29・D30・D31
C04	Z02・Z03・Z07・Z10・Z11・Z12・Z15・R02・R06・R12・R14・R17・R18・R20・R22・R23・R28・D00・D02・D03・D04・D05・D10・D11・D12・D13・D14・D17・D19・D20・D23・D25・D26・D27・D29・D31
C03	Z01・Z02・Z06・Z09・Z10・Z11・Z14・R01・R02・R04・R06・R07・R08・R09・R13・R14・R15・R16・R21・R24・R28・R29・D04・D05・D06・D10・D14・D15・D16・D17・D18・D19・D20・D21・D22・D23・D24・D26・D28・D29・D30
C02	Z00・Z03・Z04・Z05・Z07・Z09・Z11・Z12・R01・R02・R03・R04・R05・R08・R09・R11・R13・R14・R15・R17・R19・R20・R23・R24・R26・R27・R28・R29・R30・D01・D04・D05・D07・D08・D14・D15・D16・D18・D19・D21・D22・D23・D26・D27・D28
C01	Z02・Z03・Z04・Z06・Z08・Z10・Z11・Z15・R00・R01・R02・R04・R07・R08・R11・R14・R15・R18・R20・R21・R22・R23・R25・R28・R30・D00・D01・D03・D05・D07・D08・D12・D16・D17・D19・D22・D23・D24・D26・D29・D31
C00	Z02・Z04・Z05・Z08・Z09・Z11・Z12・Z13・Z14・R01・R04・R05・R06・R09・R10・R13・R14・R19・R22・R24・R28・R31・D00・D01・D02・D04・D06・D09・D12・D13・D19・D20・D21・D25・D27・D29・D30・D31

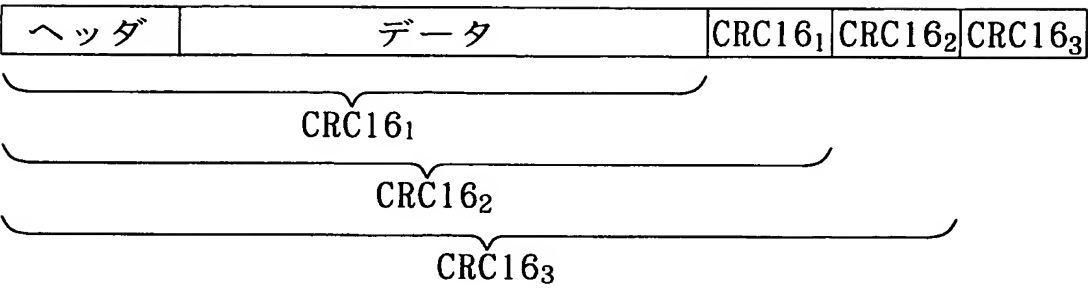
【図 4】

C15	R01・R03・R04・R07・R08・R10・R11・R12・R13・R15・D00・D02・D03・D04・D05・D07・D08・D11・D12・D14・D18・D19・D20・D21・D23・D27・D30・D32・D33・D35・D36・D38・D41・D43・D44・D49・D51・D52・D56・D60
C14	R00・R02・R03・R06・R07・R09・R10・R11・R12・R14・R15・D00・D01・D03・D04・D05・D06・D08・D09・D12・D13・D15・D19・D20・D21・D22・D24・D28・D31・D33・D34・D36・D37・D39・D42・D44・D45・D50・D52・D53・D57・D61
C13	R01・R02・R05・R06・R08・R09・R10・R11・R13・R14・R15・D00・D01・D02・D04・D05・D06・D07・D09・D10・D13・D14・D16・D20・D21・D22・D23・D25・D29・D32・D34・D35・D37・D38・D40・D43・D45・D46・D51・D53・D54・D58・D62
C12	R00・R01・R04・R05・R07・R08・R09・R10・R12・R13・R14・R15・D00・D01・D02・D03・D05・D06・D07・D08・D10・D11・D14・D15・D17・D21・D22・D23・D24・D26・D30・D33・D35・D36・D38・D39・D41・D44・D46・D47・D52・D54・D55・D59・D63
C11	R00・R01・R06・R09・R10・R14・D01・D05・D06・D09・D14・D15・D16・D19・D20・D21・D22・D24・D30・D31・D32・D33・D34・D35・D37・D38・D39・D40・D41・D42・D43・D44・D45・D47・D48・D49・D51・D52・D53・D55
C10	R00・R05・R08・R09・R13・D02・D06・D07・D10・D15・D16・D17・D20・D21・D22・D23・D25・D26・D31・D32・D33・D34・D35・D36・D38・D39・D40・D41・D42・D43・D44・D45・D46・D48・D49・D50・D52・D53・D54・D56
C09	R04・R07・R08・R12・R15・D00・D03・D07・D08・D11・D16・D17・D18・D21・D22・D23・D24・D26・D27・D32・D33・D34・D35・D36・D37・D39・D40・D41・D42・D43・D44・D45・D46・D47・D49・D50・D51・D53・D54・D55・D57
C08	R03・R06・R07・R11・R14・R15・D00・D01・D04・D08・D09・D12・D17・D18・D19・D22・D23・D24・D25・D27・D28・D33・D34・D35・D36・D37・D38・D40・D41・D42・D43・D44・D45・D46・D47・D48・D50・D51・D52・D54・D55・D56・D58
C07	R02・R05・R06・R10・R13・R14・R15・D00・D01・D02・D05・D09・D10・D13・D18・D19・D20・D23・D24・D25・D26・D28・D29・D34・D35・D36・D37・D38・D39・D41・D42・D43・D44・D45・D46・D47・D48・D49・D51・D52・D53・D55・D56・D57・D59
C06	R01・R04・R05・R09・R12・R13・R14・D01・D02・D03・D06・D10・D11・D14・D19・D20・D21・D24・D25・D26・D27・D29・D30・D35・D36・D37・D38・D39・D40・D42・D43・D44・D45・D46・D47・D48・D49・D50・D52・D53・D54・D56・D57・D58・D60
C05	R00・R03・R04・R08・R11・R12・R13・D02・D03・D04・D07・D11・D12・D15・D20・D21・D22・D25・D26・D27・D28・D30・D31・D36・D37・D38・D39・D40・D41・D43・D44・D45・D46・D47・D48・D49・D50・D51・D53・D54・D55・D57・D58・D59・D61
C04	R02・R03・R07・R10・R11・R12・R15・D00・D03・D04・D05・D08・D12・D13・D16・D21・D22・D23・D26・D27・D28・D29・D31・D32・D37・D38・D39・D40・D41・D42・D44・D45・D46・D47・D48・D49・D50・D51・D52・D54・D55・D56・D58・D59・D60・D62
C03	R01・R02・R06・R09・R10・R11・R14・D01・D04・D05・D06・D09・D13・D14・D17・D22・D23・D24・D27・D28・D29・D30・D32・D33・D38・D39・D40・D41・D42・D43・D45・D46・D47・D48・D49・D50・D51・D52・D53・D55・D56・D57・D59・D60・D61・D63
C02	R00・R03・R04・R05・R07・R09・R11・R12・D03・D04・D06・D08・D10・D11・D12・D15・D19・D20・D21・D24・D25・D27・D28・D29・D31・D32・D34・D35・D36・D38・D39・D40・D42・D46・D47・D48・D50・D53・D54・D57・D58・D61・D62
C01	R02・R03・R04・R06・R08・R10・R11・R15・D00・D04・D05・D07・D09・D11・D12・D13・D16・D20・D21・D22・D25・D26・D28・D29・D30・D32・D33・D35・D36・D37・D39・D40・D41・D43・D47・D48・D49・D51・D54・D55・D58・D59・D62・D63
C00	R02・R04・R05・R08・R09・R11・R12・R13・R14・D01・D02・D03・D04・D06・D07・D10・D11・D13・D17・D18・D19・D20・D22・D26・D29・D31・D32・D34・D35・D37・D40・D42・D43・D48・D50・D51・D55・D59・D63

【図 5】



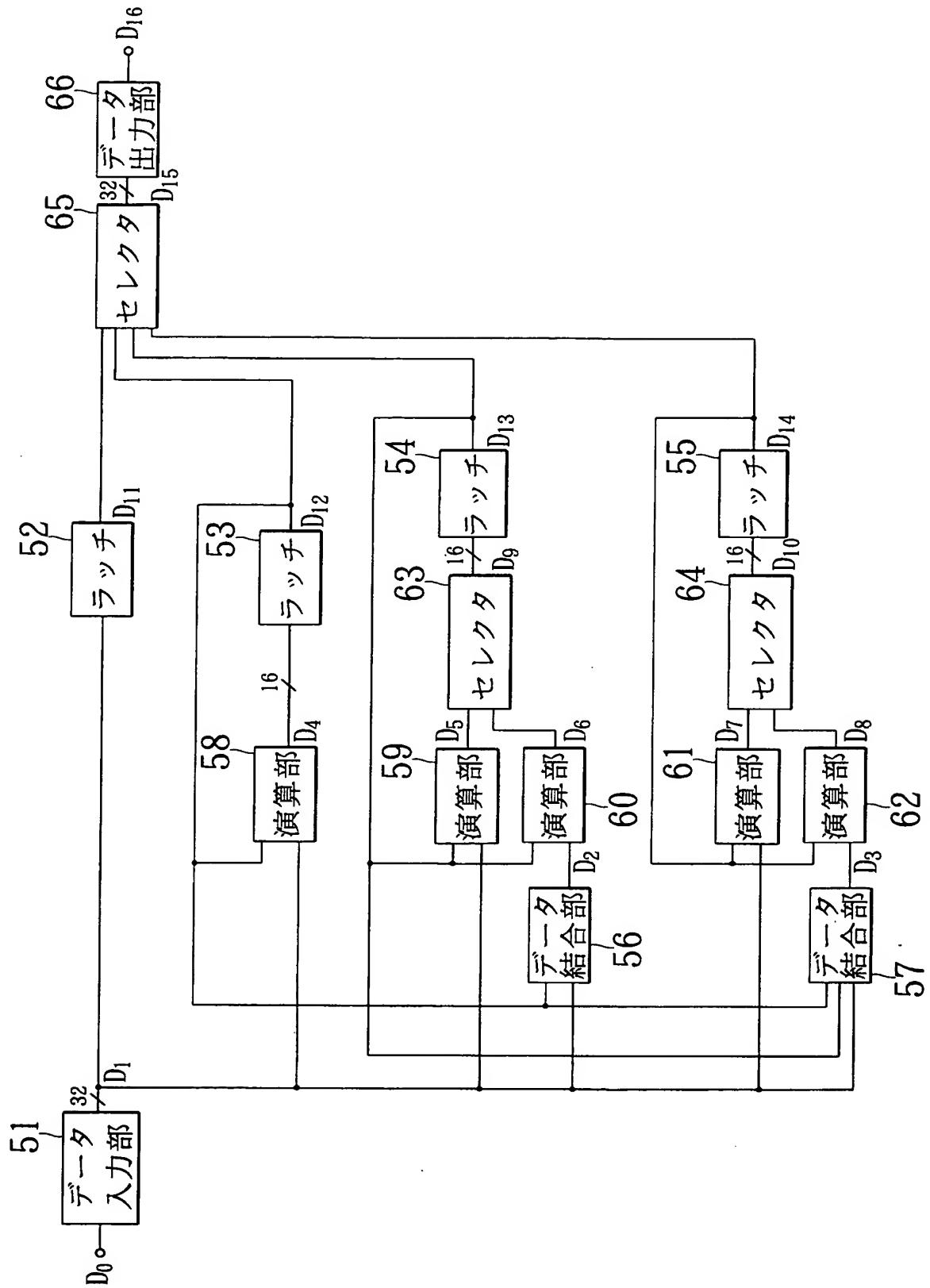
【図 6】



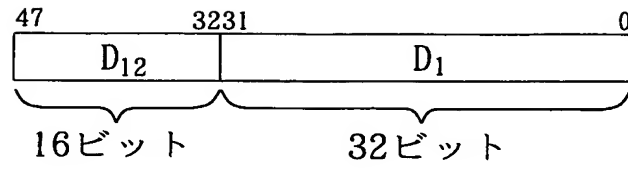
【図 7】

	1バイト			
#1	DB <sub>0</sub>	DB <sub>1</sub>	DB <sub>2</sub>	DB <sub>3</sub>
#2	DB <sub>4</sub>	DB <sub>5</sub>	DB <sub>6</sub>	DB <sub>7</sub>
#3	DB <sub>8</sub>	DB <sub>9</sub>	DB <sub>10</sub>	DB <sub>11</sub>
⋮				
#k-2	DB <sub>n-4</sub>	DB <sub>n-3</sub>	DB <sub>n-2</sub>	DB <sub>n-1</sub>
#k-1	DB <sub>n</sub>	CRC16 <sub>10</sub>	CRC16 <sub>11</sub>	CRC16 <sub>20</sub>
#k	CRC16 <sub>21</sub>	CRC16 <sub>30</sub>	CRC16 <sub>31</sub>	

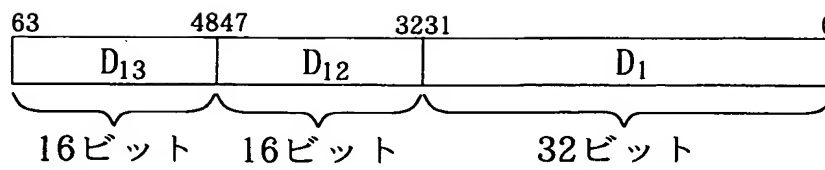
【図 8】



【図 9】



【図 10】





【図 11】

C15	Z01・Z04・Z08・Z10・Z11・Z12・Z13・ R00・R02・R03・R04・R05・R06・R10・R11・R12・R13・R15・ D00・D07・D09・D10・D12・D13・D14・D15・D16・D18・D19・D20・D21・D22・D23・D24・D26・D27・ D28・D29・D31
C14	Z00・Z03・Z07・Z09・Z10・Z11・Z12・ R01・R03・R04・R05・R06・R07・R11・R12・R13・R14・ D01・D02・D05・D06・D09・D10・D11・D14・D15・D16・D18・D21・D22・D24・D25・D26・D29・D30
C13	Z02・Z06・Z08・Z09・Z10・Z11・Z15・ R00・R02・R06・R08・R10・R14・ D00・D01・D04・D06・D15・D16・D19・D27・D30・D31
C12	Z01・Z05・Z07・Z08・Z09・Z10・Z14・ R01・R03・R07・R09・R11・R15・ D00・D01・D04・D05・D07・D10・D12・D19・D21・D22・D25・D31
C11	Z00・Z01・Z06・Z07・Z09・Z10・Z11・Z12・Z15・ R00・R03・R04・R06・R07・R08・R10・R11・R12・ D00・D06・D07・D11・D12・D14・D16・D18・D19・D20・D23・D27・D28・D29
C10	Z00・Z05・Z06・Z08・Z09・Z10・Z11・Z14・Z15・ R01・R04・R05・R07・R08・R09・R11・R12・R13・ D00・D01・D02・D03・D05・D08・D09・D11・D14・D15・D17・D18・D21・D22・D26・D27・D28・D29
C09	Z04・Z05・Z07・Z08・Z09・Z10・Z13・Z14・Z15・ R00・R02・R05・R06・R08・R09・R10・R12・R13・R14・ D00・D03・D08・D09・D11・D13・D15・D16・D17・D21・D22・D25・D26・D27・D28・D30・D31
C08	Z03・Z04・Z06・Z07・Z08・Z09・Z12・Z13・Z14・ R01・R03・R06・R07・R09・R10・R11・R13・R14・R15・ D00・D03・D04・D05・D07・D11・D14・D20・D23・D24・D25・D26・D27・D29・D30・D31
C07	Z02・Z03・Z05・Z06・Z07・Z08・Z11・Z12・Z13・ R02・R05・R08・R11・R13・R14・ D01・D03・D08・D09・D12・D17・D18・D25・D26・D27・D28・D29・D30
C06	Z01・Z02・Z04・Z05・Z06・Z07・Z10・Z11・Z12・ R03・R04・R05・R06・R07・R09・R10・R13・R14・ D01・D02・D03・D04・D06・D12・D13・D14・D19・D24・D26・D28・D29
C05	Z00・Z01・Z03・Z04・Z05・Z06・Z09・Z10・Z11・ R06・R08・R11・R12・R13・R14・ D01・D02・D03・D05・D06・D07・D10・D11・D12・D14・D15・D16・D18・D24・D25・D26・D28
C04	Z00・Z02・Z03・Z04・Z05・Z08・Z09・Z10・Z15・ R00・R07・R09・R12・R13・R14・R15・ D01・D02・D03・D05・D07・D08・D10・D11・D12・D13・D16・D17・D19・D20・D23・D24・D31
C03	Z01・Z02・Z03・Z04・Z07・Z08・Z09・Z14・ R01・R08・R10・R13・R14・R15・ D00・D02・D05・D06・D08・D11・D12・D13・D17・D18・D19・D20・D21・D22・D23・D26・D28・D30・ D31
C02	Z00・Z02・Z03・Z04・Z06・Z07・Z10・Z11・Z12・ R03・R06・R07・R09・R14・R15・ D00・D01・D03・D04・D05・D06・D11・D13・D15・D19・D21・D22・D24・D25・D26・D28・D29・D30
C01	Z01・Z02・Z03・Z05・Z06・Z09・Z10・Z11・Z15・ R00・R05・R08・R12・R13・ D00・D02・D03・D04・D05・D06・D07・D09・D12・D13・D14・D15・D18・D19・D21・D22・D25・D27・ D28・D30
C00	Z00・Z02・Z05・Z09・Z11・Z12・Z13・Z14・ R01・R02・R03・R04・R05・R09・R10・R11・R12・R14・R15・ D00・D02・D05・D11・D12・D14・D15・D21・D22・D25・D30

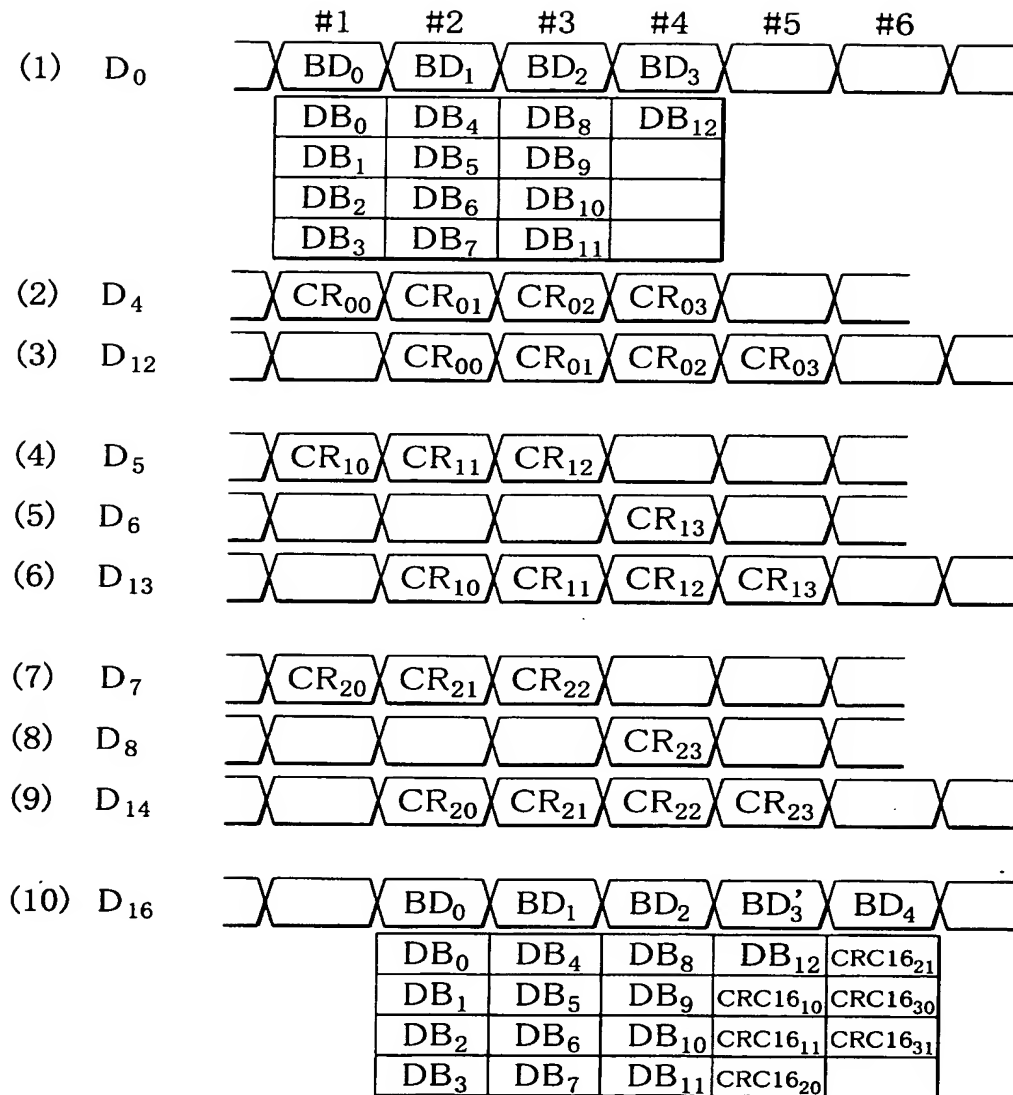
【図 12】

C15	Z01・Z04・Z08・Z10・Z11・Z12・Z13・ D02・D03・D04・D05・D07・D11・D14・D16・D17・D19・D20・D22・D25・D27・D28・D33・ D35・D36・D40・D44
C14	Z00・Z03・Z07・Z09・Z10・Z11・Z12・ D03・D04・D05・D06・D08・D12・D15・D17・D18・D20・D21・D23・D26・D28・D29・D34・ D36・D37・D41・D45
C13	Z02・Z06・Z08・Z09・Z10・Z11・Z15・ D00・D04・D05・D06・D07・D09・D13・D16・D18・D19・D21・D22・D24・D27・D29・D30・ D35・D37・D38・D42・D46
C12	Z01・Z05・Z07・Z08・Z09・Z10・Z14・ D01・D05・D06・D07・D08・D10・D14・D17・D19・D20・D22・D23・D25・D28・D30・D31・ D36・D38・D39・D43・D47
C11	Z00・Z01・Z06・Z07・Z09・Z10・Z11・Z12・Z15・ D00・D03・D04・D05・D06・D08・D09・D14・D15・D16・D17・D18・D19・D21・D22・D23・ D24・D25・D26・D27・D28・D29・D31・D32・D33・D35・D36・D37・D39
C10	Z00・Z05・Z06・Z08・Z09・Z10・Z11・Z14・Z15・ D00・D01・D04・D05・D06・D07・D09・D10・D15・D16・D17・D18・D19・D20・D22・D23・ D24・D25・D26・D27・D28・D29・D30・D32・D33・D34・D37・D36・D38・D40
C09	Z04・Z05・Z07・Z08・Z09・Z10・Z13・Z14・Z15・ D00・D01・D02・D05・D06・D07・D08・D10・D11・D16・D17・D18・D19・D20・D21・D23・ D24・D25・D26・D27・D28・D29・D30・D31・D33・D34・D35・D37・D38・D39・D41
C08	Z03・Z04・Z06・Z07・Z08・Z09・Z12・Z13・Z14・ D01・D02・D03・D06・D07・D08・D09・D11・D12・D17・D18・D19・D20・D21・D22・D24・ D25・D26・D27・D28・D29・D30・D31・D32・D34・D35・D36・D38・D39・D40・D42
C07	Z02・Z03・Z05・Z06・Z07・Z08・Z11・Z12・Z13・ D02・D03・D04・D07・D08・D09・D10・D12・D13・D18・D19・D20・D21・D22・D23・D25・ D26・D27・D28・D29・D30・D31・D32・D33・D35・D36・D37・D39・D40・D41・D43
C06	Z01・Z02・Z04・Z05・Z06・Z07・Z10・Z11・Z12・ D03・D04・D05・D08・D09・D10・D11・D13・D14・D19・D20・D21・D22・D23・D24・D26・ D27・D28・D29・D30・D31・D32・D33・D34・D36・D37・D38・D40・D41・D42・D44
C05	Z00・Z01・Z03・Z04・Z05・Z06・Z09・Z10・Z11・ D04・D05・D06・D09・D10・D11・D12・D14・D15・D20・D21・D22・D23・D24・D25・D27・ D28・D29・D30・D31・D32・D33・D34・D35・D37・D38・D39・D41・D42・D43・D45
C04	Z00・Z02・Z03・Z04・Z05・Z08・Z09・Z10・Z15・D00・D05・D06・D07・D10・D11・D12・D13・ D15・D16・D21・D22・D23・D24・D25・D26・D28・D29・D30・D31・D32・D33・D34・D35・ D36・D38・D39・D40・D42・D43・D44・D46
C03	Z01・Z02・Z03・Z04・Z07・Z08・Z09・Z14・ D01・D06・D07・D08・D11・D12・D13・D14・D16・D17・D22・D23・D24・D25・D26・D27・ D29・D30・D31・D32・D33・D34・D35・D36・D37・D39・D40・D41・D43・D44・D45・D47
C02	Z00・Z02・Z03・Z04・Z06・Z07・Z10・Z11・Z12・ D03・D04・D05・D08・D09・D11・D12・D13・D15・D16・D18・D19・D20・D22・D23・D24・ D26・D30・D31・D32・D34・D37・D38・D41・D42・D45・D46・
C01	Z01・Z02・Z03・Z05・Z06・Z09・Z10・Z11・Z15・ D00・D04・D05・D06・D09・D10・D12・D13・D14・D16・D17・D19・D20・D21・D23・D24・ D25・D27・D31・D32・D33・D35・D38・D39・D42・D43・D46・D47
C00	Z00・Z02・Z05・Z09・Z11・Z12・Z13・Z14・ D01・D02・D03・D04・D06・D10・D13・D15・D16・D18・D19・D21・D24・D26・D27・D32・ D34・D35・D39・D43・D47

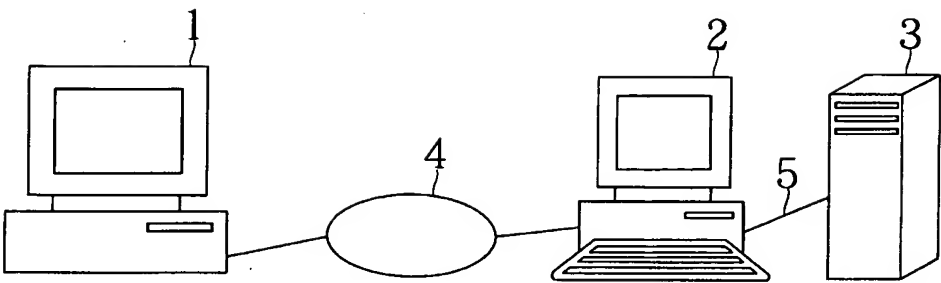
【図 13】

C15	R01・R03・R04・R07・R08・R10・R11・R12・R13・R15・Z03・Z04・Z05・Z08・Z10・Z11・Z12・X01・X05・X06・X07・X09・X14・D00・D01・D02・D06・D09・D16・D19・D20・D23・D24・D26・D28
C14	R00・R02・R03・R06・R07・R09・R10・R11・R12・R14・R15・Z00・Z04・Z05・Z06・Z09・Z11・Z12・Z13・X00・X03・X05・X08・X09・X11・X12・X13・X14・D00・D03・D04・D05・D06・D07・D08・D11・D13・D15・D17・D18・D19・D24・D27・D28・D29・D30
C13	R01・R02・R05・R06・R08・R09・R10・R11・R13・R14・R15・Z00・Z01・Z02・Z06・Z07・Z09・Z10・Z11・X01・X04・X05・X06・X07・X08・X11・X12・X13・X15・D01・D03・D04・D09・D11・D14・D15・D18・D20・D21・D22・D23・D31
C12	R00・R01・R04・R05・R07・R08・R09・R10・R12・R13・R14・R15・Z00・Z01・Z02・Z03・Z04・Z05・Z08・Z11・Z13・Z15・X00・X03・X04・X05・X06・X07・X10・X11・X12・X14・D06・D09・D10・D11・D13・D15・D21・D22・D24・D26・D31
C11	R00・R01・R06・R09・R10・R14・Z00・Z01・Z04・Z06・Z07・Z08・Z15・X03・X04・X05・X06・X07・X11・X13・X14・X15・D02・D04・D05・D06・D07・D09・D10・D12・D16・D20・D21・D22・D23・D24・D25・D26・D28・D31
C10	R00・R05・R08・R09・R13・Z01・Z02・Z04・Z08・Z09・Z10・Z12・Z13・Z15・X02・X05・X09・X10・X11・X13・D00・D02・D03・D04・D06・D11・D14・D15・D16・D18・D19・D21・D22・D24・D26・D28・D31
C09	R04・R07・R08・R12・R15・Z02・Z03・Z05・Z09・Z10・Z11・Z13・Z14・X01・X04・X08・X09・X10・X12・D00・D01・D02・D04・D08・D10・D12・D13・D14・D16・D17・D19・D25・D26・D27・D29・D30
C08	R03・R06・R07・R11・R14・R15・Z03・Z04・Z06・Z10・Z11・Z12・Z14・Z15・X00・X04・X06・X07・X08・X12・X14・X15・D00・D01・D05・D07・D09・D15・D18・D21・D22・D24・D25・D26・D27・D29・D30
C07	R02・R05・R06・R10・R13・R14・R15・Z00・Z02・Z05・Z09・Z10・Z12・Z13・Z14・X01・X02・X03・X07・X10・X11・X13・X14・D00・D01・D02・D03・D04・D05・D06・D08・D09・D12・D13・D14・D15・D17・D19・D26・D28・D30
C06	R01・R04・R05・R09・R12・R13・R14・Z00・Z01・Z02・Z03・Z04・Z06・Z07・Z09・Z13・X00・X03・X04・X05・X06・X11・X13・X14・X15・D00・D02・D03・D04・D08・D11・D13・D16・D17・D20・D21・D22・D23・D24・D25
C05	R00・R03・R04・R08・R11・R12・R13・Z00・Z01・Z03・Z04・Z07・Z08・Z09・Z10・Z11・Z12・Z13・X01・X09・X11・X13・X15・D00・D02・D04・D05・D08・D17・D20・D23・D26・D27・D28・D29・D31
C04	R02・R03・R07・R10・R11・R12・R15・Z01・Z02・Z07・Z08・Z09・Z11・Z14・Z15・X00・X03・X04・X06・X08・X09・X10・X11・D01・D03・D04・D09・D11・D14・D15・D18・D20・D21・D22・D23・D31
C03	R01・R02・R06・R09・R10・R11・R14・Z00・Z02・Z03・Z04・Z05・Z07・Z08・Z09・Z13・X02・X04・X05・X06・X07・X08・X10・X11・X12・X14・X15・D00・D02・D03・D12・D13・D14・D15・D16・D24・D26・D27・D28・D29・D30・D31
C02	R00・R03・R04・R05・R07・R09・R11・R12・Z00・Z01・Z02・Z04・Z06・Z07・Z10・Z12・Z15・X01・X02・X05・X09・X12・X13・X14・D00・D01・D02・D03・D04・D05・D09・D12・D18・D20・D23・D25・D30・D31
C01	R02・R03・R04・R06・R08・R10・R11・R15・Z01・Z03・Z07・Z08・Z09・Z12・Z14・X00・X02・X03・X05・X08・X09・X10・X13・X14・X15・D02・D03・D04・D07・D08・D09・D10・D11・D12・D14・D15・D17・D18・D19・D25・D26・D27・D28・D29・D31
C00	R02・R04・R05・R08・R09・R11・R12・R13・R14・Z02・Z03・Z04・Z07・Z09・Z10・Z11・X02・X04・X05・X06・X08・X12・X13・D01・D05・D08・D09・D11・D12・D13・D16・D17・D18・D21・D22・D24・D30・D31

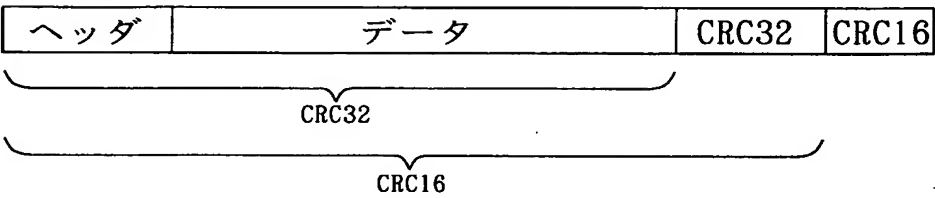
【図 14】



【図 15】



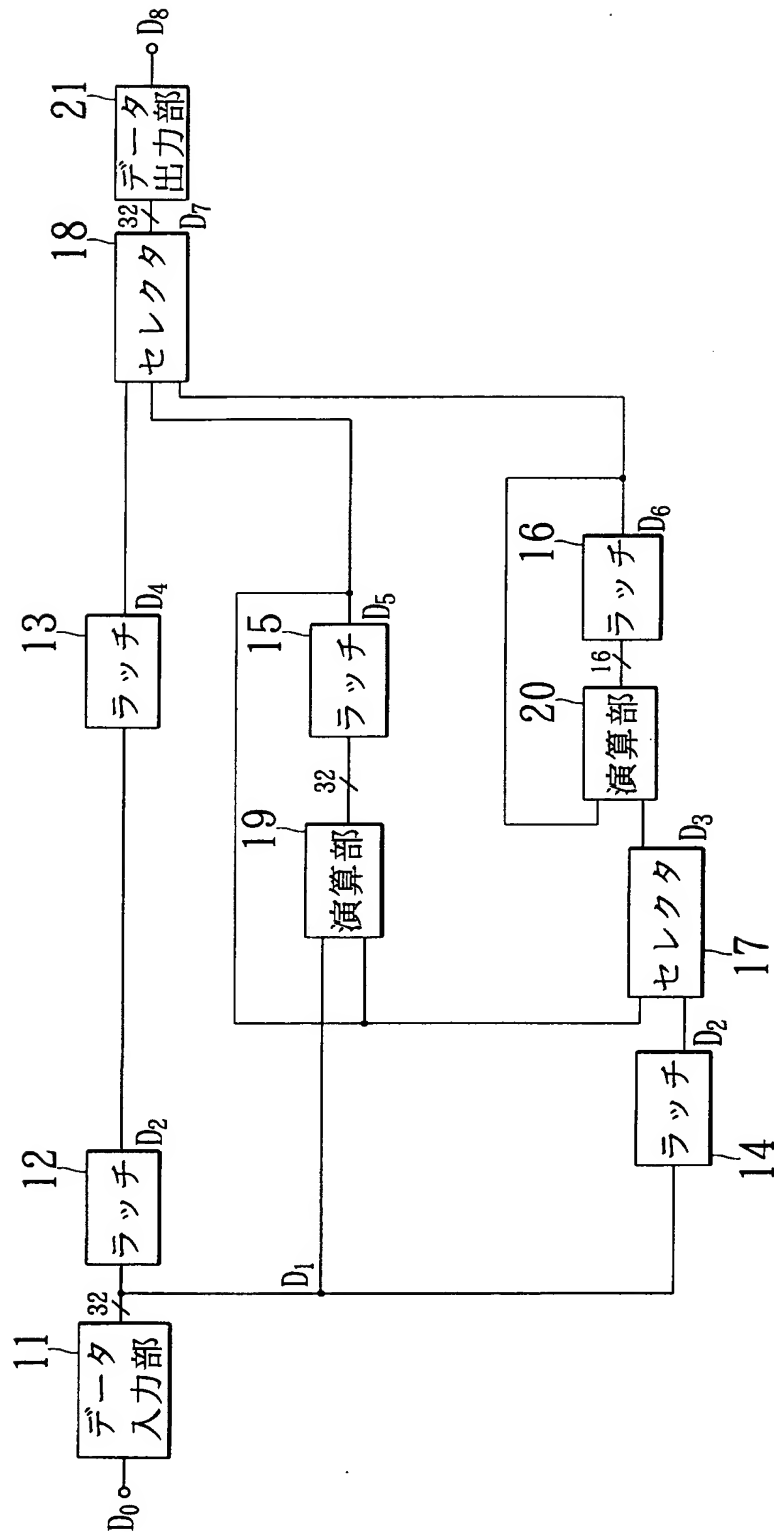
【図 16】



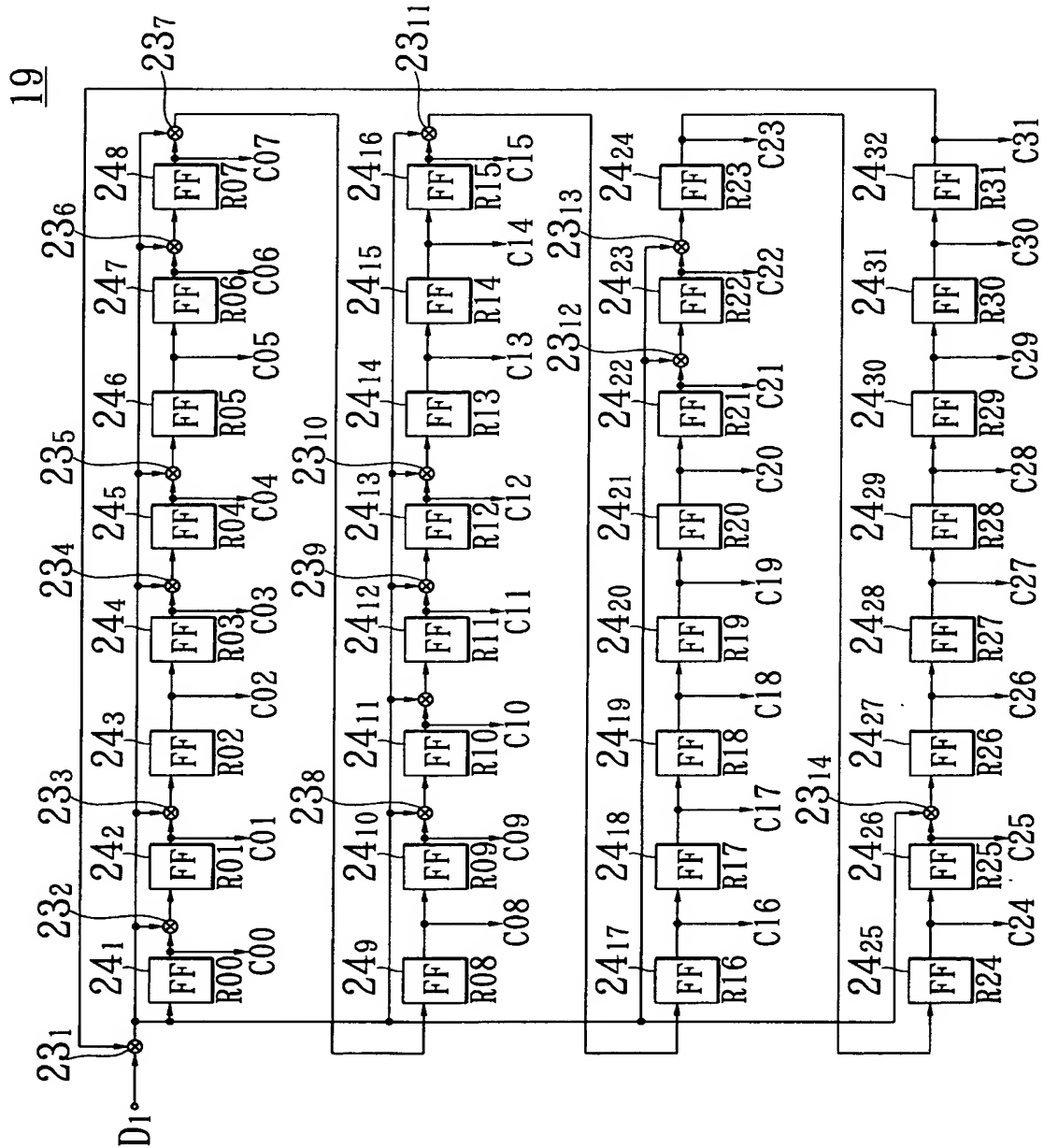
【図 17】

	1バイト			
#1	DB <sub>0</sub>	DB <sub>1</sub>	DB <sub>2</sub>	DB <sub>3</sub>
#2	DB <sub>4</sub>	DB <sub>5</sub>	DB <sub>6</sub>	DB <sub>7</sub>
#3	DB <sub>8</sub>	DB <sub>9</sub>	DB <sub>10</sub>	DB <sub>11</sub>
⋮				
#k-2	DB <sub>n-5</sub>	DB <sub>n-4</sub>	DB <sub>n-3</sub>	DB <sub>n-2</sub>
#k-1	DB <sub>n-1</sub>	DB <sub>n</sub>	CRC32 <sub>0</sub>	CRC32 <sub>1</sub>
#k	CRC32 <sub>2</sub>	CRC32 <sub>3</sub>	CRC16 <sub>0</sub>	CRC16 <sub>1</sub>

【図 18】



【図 19】



【図 20】

C31	R05・R08・R09・R11・R15・R23・R24・R25・R27・R28・R29・R30・R31・ D00・D01・D02・D03・D04・D06・D08・D16・D20・D22・D23・D26
C30	R04・R07・R08・R10・R14・R22・R23・R24・R26・R27・R28・R29・R30・ D01・D02・D03・D04・D05・D07・D08・D09・D17・D21・D23・D24・D27
C29	R03・R06・R07・R09・R13・R21・R22・R23・R25・R26・R27・R28・R29・R31・ D00・D02・D03・D04・D05・D06・D08・D09・D10・D18・D22・D24・D25・D28
C28	R02・R05・R06・R08・R12・R20・R21・R22・R24・R25・R26・R27・R28・R30・ D01・D03・D04・D05・D06・D07・D09・D10・D11・D19・D23・D25・D26・D29
C27	R01・R04・R05・R07・R11・R19・R20・R21・R23・R24・R25・R26・R27・R29・ D02・D04・D05・D06・D07・D08・D10・D11・D12・D20・D26・D27・D30
C26	R00・R03・R04・R06・R10・R18・R19・R20・R22・R23・R24・R25・R26・R27・R28・ R31・D00・D03・D05・D06・D07・D08・D09・D11・D12・D13・D21・D25・D27・D28・D31
C25	R02・R03・R08・R11・R15・R17・R18・R19・R21・R22・R28・R29・R31・ D00・D02・D03・D09・D10・D12・D13・D14・D16・D20・D23・D28・D29
C24	R01・R02・R07・R10・R14・R16・R17・R18・R20・R21・R27・R28・R30・ D01・D03・D04・D10・D11・D13・D14・D15・D17・D21・D24・D29・D30
C23	R00・R01・R06・R09・R13・R15・R16・R17・R19・R20・R26・R27・R29・R31・ D00・D02・D04・D05・D11・D12・D14・D15・D16・D18・D22・D25・D30・D31
C22	R00・R09・R11・R12・R14・R16・R18・R19・R23・R24・R26・R27・R29・R31・ D00・D02・D04・D05・D07・D08・D12・D13・D15・D17・D19・D20・D22・D31
C21	R05・R09・R10・R13・R17・R18・R22・R24・R26・R27・R29・R31・ D00・D02・D04・D05・D07・D09・D13・D14・D18・D21・D22・D26
C20	R04・R08・R09・R12・R16・R17・R21・R23・R25・R26・R28・R30・ D01・D03・D05・D06・D08・D10・D14・D15・D19・D22・D23・D27
C19	R03・R07・R08・R11・R15・R16・R20・R22・R24・R25・R27・R29・ D02・D04・D06・D07・D09・D11・D15・D16・D20・D23・D24・D28
C18	R02・R06・R07・R10・R14・R15・R19・R21・R23・R24・R26・R28・R31・ D00・D03・D05・D07・D08・D10・D12・D16・D17・D21・D24・D25・D29
C17	R01・R05・R06・R09・R13・R14・R18・R20・R22・R25・R27・R30・R31・ D00・D01・D04・D06・D08・D09・D11・D13・D17・D18・D22・D25・D26・D30
C16	R00・R04・R05・R08・R12・R13・R17・R19・R21・R22・R24・R26・R29・R30・ D01・D02・D05・D07・D09・D10・D12・D14・D18・D19・D23・D26・D27・D31



【図 21】

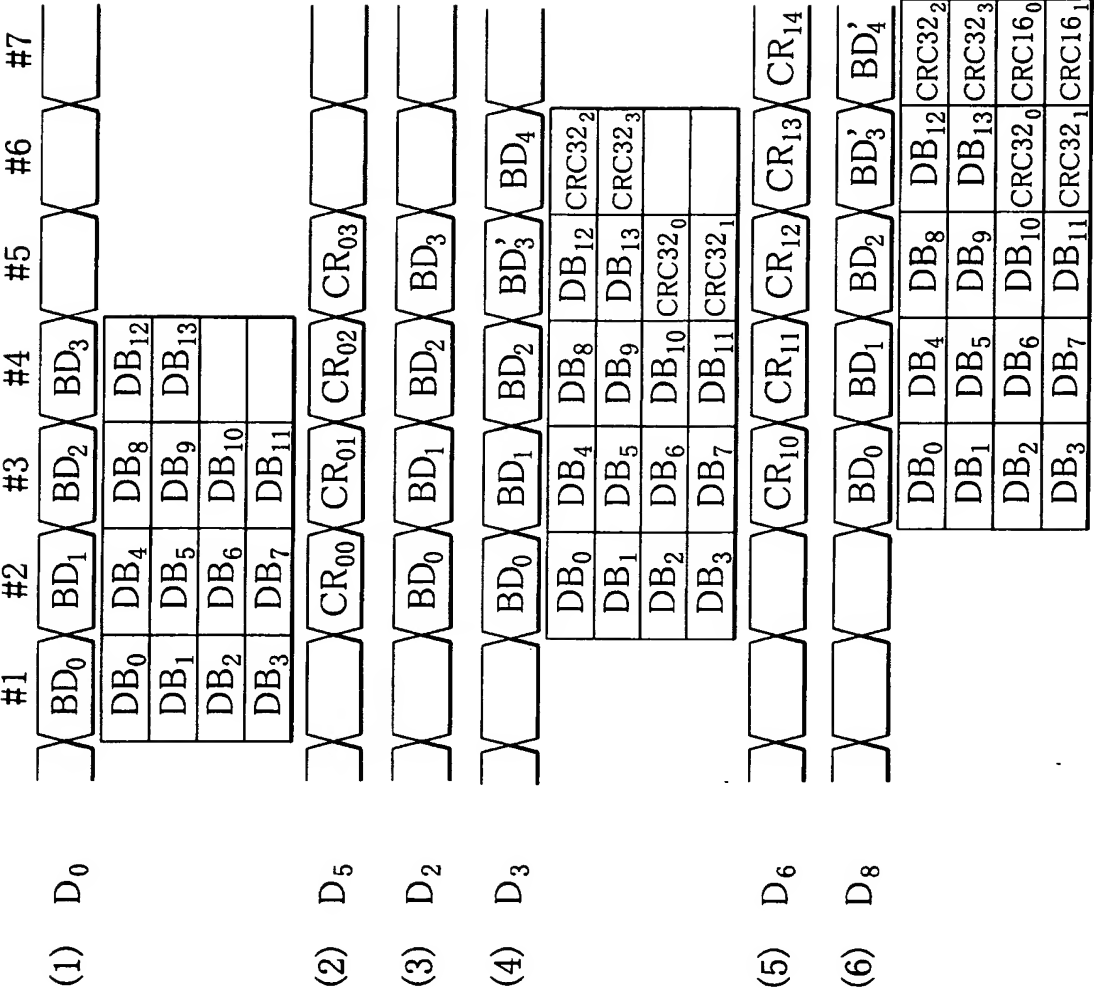
C15	R03・R04・R05・R07・R08・R09・R12・R15・R16・R18・R20・R21・R24・R27・R30・ D01・D04・D07・D10・D11・D13・D15・D16・D19・D22・D23・D24・D26・D27・D28
C14	R02・R03・R04・R06・R07・R08・R11・R14・R15・R17・R19・R20・R23・R26・R29・ D02・D05・D08・D11・D12・D14・D16・D17・D20・D23・D24・D25・D27・D28・D29
C13	R01・R02・R03・R05・R06・R07・R10・R13・R16・R19・R22・R28・R31・ D00・D03・D06・D09・D12・D13・D15・D17・D18・D21・D24・D25・D26・D28・D29・D30
C12	R00・R01・R02・R04・R05・R06・R09・R12・R13・R15・R17・R18・R24・R30・R31・ D00・D01・D04・D07・D10・D13・D14・D16・D18・D19・D22・D25・D26・D27・D29・D30・ D31
C11	R00・R01・R03・R04・R09・R12・R14・R15・R16・R17・R20・R24・R25・R26・R27・R 28・R31・D00・D03・D04・D05・D06・D07・D11・D14・D15・D16・D17・D19・D22・D27・ D28・D30・D31
C10	R00・R02・R03・R05・R09・R13・R14・R16・R19・R26・R28・R29・R31・ D00・D02・D03・D05・D12・D15・D17・D18・D22・D26・D28・D29・D31
C09	R01・R02・R04・R05・R09・R11・R12・R13・R18・R23・R24・R29・ D02・D07・D08・D13・D18・D19・D20・D22・D26・D27・D29・D30
C08	R00・R01・R03・R04・R08・R10・R11・R17・R22・R28・R31・ D00・D03・D08・D09・D14・D19・D20・D21・D23・D27・D28・D30・D31
C07	R00・R02・R03・R05・R07・R08・R10・R15・R16・R21・R22・R23・R24・R28・R29・ D02・D03・D06・D07・D08・D09・D10・D15・D16・D21・D23・D24・D26・D28・D29・D31
C06	R01・R02・R04・R05・R06・R07・R08・R11・R20・R21・R25・R30・ D01・D02・D06・D09・D10・D11・D17・D20・D23・D24・D25・D26・D27・D29・D30
C05	R00・R01・R03・R04・R05・R06・R07・R10・R13・R19・R20・R21・R24・R28・R29・ D02・D03・D07・D10・D11・D12・D18・D21・D24・D25・D26・D27・D28・D30・D31
C04	R00・R02・R03・R04・R06・R08・R11・R12・R15・R18・R19・R20・R24・R25・R29・ R30・R31・D00・D01・D02・D06・D07・D11・D12・D13・D16・D19・D20・D23・D25・D27・ D28・D29・D31
C03	R01・R02・R03・R07・R08・R09・R10・R14・R15・R17・R18・R19・R25・R27・R31・ D00・D04・D06・D12・D13・D14・D16・D17・D21・D22・D23・D24・D28・D29・D30
C02	R00・R02・R06・R07・R08・R09・R13・R14・R16・R17・R18・R24・R26・R30・R31・ D00・D01・D05・D07・D13・D14・D15・D17・D18・D22・D23・D24・D25・D29・D30・D31
C01	R00・R01・R06・R07・R09・R11・R12・R13・R16・R17・R24・R27・R28・ D03・D04・D07・D14・D15・D18・D19・D20・D22・D24・D25・D30・D31
C00	R00・R06・R09・R10・R12・R16・R24・R25・R26・R28・R29・R30・R31・ D00・D01・D02・D03・D05・D06・D07・D15・D19・D21・D22・D25・D31



【図 23】

C15	R03・R04・R06・R09・R11・R12・R14・R15・ D00・D01・D03・D04・D06・D09・D11・D12・D17・D19・D20・D24・D28
C14	R02・R03・R05・R08・R10・R11・R13・R14・ D01・D02・D04・D05・D07・D10・D12・D13・D18・D20・D21・D25・D29
C13	R01・R02・R04・R07・R09・R10・R12・R13・R15・ D00・D02・D03・D05・D06・D08・D11・D13・D14・D19・D21・D22・D26・D30
C12	R00・R01・R03・R06・R08・R09・R11・R12・R14・ D01・D03・D04・D06・D07・D09・D12・D14・D15・D20・D22・D23・D27・D31
C11	R00・R02・R03・R04・R05・R06・R07・R08・R09・R10・R12・R13・R14・R15・ D00・D01・D02・D03・D05・D06・D07・D08・D09・D10・D11・D12・D13・D15・D16・D17・ D19・D20・D21・D23
C10	R01・R02・R03・R04・R05・R06・R07・R08・R09・R11・R12・R13・R14・R15・ D00・D01・D02・D03・D04・D06・D07・D08・D09・D10・D11・D12・D13・D14・D16・D17・ D18・D20・D21・D22・D24
C09	R00・R01・R02・R03・R04・R05・R06・R07・R08・R10・R11・R12・R13・R14・R15・ D00・D01・D02・D03・D04・D05・D07・D08・D09・D10・D11・D12・D13・D14・D15・D17・ D18・D19・D21・D22・D23・D25
C08	R00・R01・R02・R03・R04・R05・R06・R07・R09・R10・R11・R12・R13・R14・ D01・D02・D03・D04・D05・D06・D08・D09・D10・D11・D12・D13・D14・D15・D16・D18・ D19・D20・D22・D23・D24・D26
C07	R00・R01・R02・R03・R04・R05・R06・R08・R09・R10・R11・R12・R13・ D02・D03・D04・D05・D06・D07・D09・D10・D11・D12・D13・D14・D15・D16・D17・D19・ D20・D21・D23・D24・D25・D27
C06	R00・R01・R02・R03・R04・R05・R07・R08・R09・R10・R11・R12・ D03・D04・D05・D06・D07・D08・D10・D11・D12・D13・D14・D15・D16・D17・D18・D20・ D21・D22・D24・D25・D26・D28
C05	R00・R01・R02・R03・R04・R06・R07・R08・R09・R10・R11・ D04・D05・D06・D07・D08・D09・D11・D12・D13・D14・D15・D16・D17・D18・D19・D21・ D22・D23・D25・D26・D27・D29
C04	R00・R01・R02・R03・R05・R06・R07・R08・R09・R10・R15・ D00・D05・D06・D07・D08・D09・D10・D12・D13・D14・D15・D16・D17・D18・D19・D20・ D22・D23・D24・D26・D27・D28・D30
C03	R00・R01・R02・R04・R05・R06・R07・R08・R09・R14・R15・ D00・D01・D06・D07・D08・D09・D10・D11・D13・D14・D15・D16・D17・D18・D19・D20・ D21・D23・D24・D25・D27・D28・D29・D31
C02	R00・R01・R05・R07・R08・R09・R11・R12・R13・R15・ D00・D02・D03・D04・D06・D07・D08・D10・D14・D15・D16・D18・D21・D22・D25・D26・ D29・D30
C01	R00・R04・R06・R07・R08・R10・R11・R12・R14・R15・ D00・D01・D03・D04・D05・D07・D08・D09・D11・D15・D16・D17・D19・D22・D23・D26・ D27・D30・D31
C00	R04・R05・R07・R10・R12・R13・R15・ D00・D02・D03・D05・D08・D10・D11・D16・D18・D19・D23・D27・D31

【図 2 4】



【書類名】 要約書

【要約】

【課題】 巡回冗長検査演算を高速に行う。

【解決手段】 開示されるCRC演算方法では、まず、出力データ $D_1$ を構成するバイトデータ $BD_0 \sim BD_3$ について32次の生成多項式によりCRC32演算を行う。また、出力データ $D_1$ を構成するバイトデータ $BD_0 \sim BD_2$ について16次の生成多項式によりCRC16演算を行う。さらに、出力データ $D_1$ を構成するバイトデータ $BD_3$ と、CRC32演算の途中で得られる演算結果 $CR_{02}$ とについて16次の生成多項式によりCRC16演算を行う。

【選択図】 図5

【書類名】 出願人名義変更届（一般承継）

【整理番号】 75410092

【提出日】 平成15年 1月27日

【あて先】 特許庁長官殿

【事件の表示】

    【出願番号】 特願2001- 59807

【承継人】

    【識別番号】 302062931

    【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

    【識別番号】 100099830

    【弁理士】

    【氏名又は名称】 西村 征生

【提出物件の目録】

    【物件名】 承継人であることを証明する登記簿謄本 1

    【援用の表示】 平成 1 5 年 1 月 1 0 日提出の特願 2 0 0 2 - 3 1 8 4 8  
8 の出願人名義変更届（一般承継）に添付のものを援用  
する。

    【物件名】 承継人であることを証明する承継証明書 1

    【援用の表示】 平成 1 5 年 1 月 1 5 日提出の平成 1 0 年特許願第 1 2 7  
5 6 4 号の出願人名義変更届（一般承継）に添付のものを  
援用する。

    【包括委任状番号】 0216892

【ブルーフの要否】 要

特願 2 0 0 1 - 0 5 9 8 0 7

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 4 2 3 7 ]

1. 変更新月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

特願 2 0 0 1 - 0 5 9 8 0 7

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[ 変更理由 ]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社